

## 連続メディア処理向けカーネルの性能評価

川田容子 岩崎正明 中原雅彦 竹内 理 中野隆裕  
 (株) 日立製作所システム開発研究所

## 1. はじめに

我々は連続メディア処理向けカーネル HiTactix の研究開発を進めている。HiTactix は、高精度周期スケジューリング[1][2][3]、高速 I/O、実時間通信[4]等の「QoS 保証」機能を備えたカーネルである。これらの特徴的機能を利用したアプリケーション・システムを構築する場合、その実効性能が対象ハードウェア上において要求仕様を満足するか否かを予測できることが好ましい。今回、この目的のために、各カーネルインタフェース関数の性能を自動的に測定する性能測定プログラムを開発した。本報告では、このプログラムの概要と HiTactix カーネルの性能評価結果について述べる。

## 2. 測定方針と測定条件

## 2.1 自動性能測定プログラムの測定方針

開発した自動性能測定プログラムは、HiTactix のカーネルインタフェース関数の実行時間および各インタフェース関数の最長プリエンプト禁止区間を測定する。

本プログラムの測定方針は、以下の通りである。

- 1) 各インタフェース関数の実行時間は、キャッシュ、TLB のヒット率が最大である場合(ベストケース)と最小である場合(ワーストケース)を測定する。ベストケースは、測定するインタフェース関数を2回連続実行し、2回目の実行時間を測定する。ワーストケースは、カーネル内部に用意されている関数によってキャッシュと TLB をバージした後に、測定インタフェース関数を実行し、実行時間を測定する。
- 2) 外部割り込みを不許可にする等、測定インタフェース関数の処理を実行しているスレッド以外のスレッドの走行時間が、測定時間に含まれないようにする。

表1 使用計算機のハードウェア構成

計算機	CPU	動作周波数 (MHz)	2次キャッシュ サイズ(KB)	メモリサイズ(MB) (メモリの種類)
1	Pentium <sup>注1</sup>	166	512	48 (EDO DRAM)
2	Pentium	200	256	64 (fast page mode)
3	Pentium	200	512	64 (EDO DRAM)
4	Pentium Pro <sup>注2</sup>	200	512	64 (EDO DRAM)

## 2.2 測定条件

測定は、表1に示すハードウェア構成を持つ4種類の PC-AT 互換機で行った。測定値は、測定プログラムを5回実行して得られた値の平均値とした。

## 3. カーネルの性能評価

本章では、前章に示した測定方針、測定条件によって得られた測定結果より、HiTactix の特徴的技術に対する定量的評価を行う。また、測定を行った計算機間で測定値を

注1 Pentium は、米国 Intel Corp. の登録商標です。  
 注2 Pentium Pro は、米国 Intel Corp. の登録商標です。

表2 最長プリエンプト禁止区間

インタフェース関数	実行時間 (μsec)			
	計算機1	計算機2	計算機3	計算機4
xproc_create	71.0	61.5	55.1	54.5
xproc_delete	65.4	55.3	53.8	60.5
xthread_create	25.8	24.1	22.4	20.9
xthread_delete	18.6	16.4	16.1	19.7
xthread_start_cyclic_exec	31.2	42.0	26.7	24.8
xthread_stop_cyclic_exec	20.2	29.5	18.3	14.8
xpm_allocate_phys_page_set	28.1	24.9	23.5	26.3
xpm_deallocate_phys_page_set	26.1	22.3	22.0	19.6
xpm_destroy_phys_page_set	25.6	22.0	22.0	19.7
xpm_map_phys_page_set	17.5	16.8	15.8	16.7
xpm_map_phys_page_set_in_region	15.6	14.5	14.5	15.0
xpm_unmap_phys_page_set	17.7	16.3	16.1	21.5
xvm_set_region_info	13.2	12.0	12.2	12.8
xvm_set_phys_page_set_info	12.9	11.9	12.1	13.1
xvm_copy	32.2	32.4	28.0	33.3
xvm_wire	14.5	13.5	13.3	14.5
xvm_unwire	15.1	14.2	11.4	18.2

比較し、計算機の実効性能について考察する。

## 3.1 細粒度プリエンプト制御に対する評価

HiTactix は、カーネル内資源の排他アクセス制御を細粒度プリエンプト制御[1][3]によって実現する。これにより、連続メディアの処理を行うスレッド(以後、周期スレッドと略す)の実行開始時刻が遅延し、優先度逆転が起きることを回避している。具体的には、プリエンプト禁止区間の走行時間が100マイクロ秒以内になるように設計されている。100マイクロ秒を超える処理は、その処理を逐次化スレッド[1]に依頼し、逐次化スレッドが細粒度プリエンプト可能状態で処理を実行することにより、プリエンプト禁止区間の走行時間を設計値以内に抑える。

表2は、実行時間が100マイクロ秒以上のインタフェース関数の最長プリエンプト禁止区間の測定結果である。表2から、測定を行ったすべての計算機において、最長プリエンプト禁止区間が100マイクロ秒以下であることが分かり、細粒度プリエンプト制御の性能面での要求仕様を満足している。

## 3.2 アイソクロナス・スケジューラのオーバーヘッド

HiTactix は、周期スレッドを正確に一定周期で周期動作させるアイソクロナス・スケジューラ[1][2][3]を備える。本スケジューラは、予め各周期スレッドの周期と実行時間を静的に予約し、予約スケジュールに従って各スレッドに CPU 時間を割り当てる。本節では、アイソクロナス・スケジューラ起動/停止処理の実行時間、および周期スレッド間のスレッド・スイッチに要する時間の測定結果より、本スケジューラのオーバーヘッドに対する定量的評価を行う。

表3に周期駆動の起動/停止処理の実行時間を、表4に周期スレッドと通常スレッドのスレッド・スイッチに要する時間の比較を示す。実行時間は、ベストケースとワーストケースの平均値である。

表3 周期駆動起動/停止処理時間

	実行時間(msec)			
	計算機1	計算機2	計算機3	計算機4
周期駆動起動	6.74	5.78	5.70	3.84
周期駆動停止	6.53	5.40	5.37	3.60

表4 スレッド・スイッチに要する時間

スレッド・スイッチ	実行時間(μsec)			
	計算機1	計算機2	計算機3	計算機4
周期スレッド→周期スレッド	49.0	57.4	50.7	29.6
通常スレッド→通常スレッド	25.6	24.5	23.7	29.3

表3より、周期スレッド起動/停止に要する時間は、Pentium搭載の計算機(計算機1~3)では5ミリ秒以上、Pentium Pro搭載の計算機(計算機4)では3ミリ秒以上であることが分かる。これらの処理は、連続メディア・アプリケーションの起動/終了時にそれぞれ1回ずつ実行されるのみであり、かつ、細粒度プリエンプト可能である。ディスクアクセスを伴うアプリケーションの起動・終了処理が、一般に、数十秒程度かかることと比較すると、周期スレッドの起動/停止に数ミリ秒以上かかっても問題になることはない。

表4より、周期スレッド間のスレッド・スイッチは、計算機1~3で50~60マイクロ秒、計算機4で30マイクロ秒程度であり、通常スレッド間でのスレッド・スイッチの実行時間と比較して計算機1~3では30マイクロ秒程度、計算機4では0.3マイクロ秒の増加にとどまっていることが分かる。周期駆動開始後は、周期スレッド間でスレッド・スイッチが頻繁に発生するため、周期スレッド間のスレッド・スイッチに要する時間は小さくなくてはならないが、測定結果はこの要求を満足しているといえる。

### 3.3 計算機の実効性能の比較

計算機の実効性能は、CPU動作周波数、キャッシュ容量、CPU周辺チップセットのアーキテクチャ、メモリシステムの構成方式等に依存する。本節では、計算機間でカーネルインタフェース関数の実行時間の測定結果を比較することにより、各計算機の実効性能を考察する。

図1に、各実験計算機の実効性能比較を示す。各計算機で測定した全インタフェース関数のベストケース、ワーストケースの平均実行時間をそれぞれ求め、計算機1のベストケースの平均実行時間を1とした相対値を示している。

図1より、キャッシュやTLBのヒット率が高い場合、Pentium Pro搭載の計算機4の実効性能が、他のPentium搭載の計算機と比較して最も優れていることが分かる。逆に、キャッシュ、TLBをバージした後の実行では、計算機4の実効性能が最も悪い。この原因を調べるため、BIOSの設定によって2次キャッシュを使用可能/不可能にした場合のメモリコピー処理実行時間をそれぞれ測定した。図2に測定結果を示す。図2より、2次キャッシュを使用不可能にした場合、計算機4のメモリコピー処理時間が最も大きくなることが分かる。計算機4は、2次キャッシュミスが発生して主記憶へアクセスする場合のオーバーヘッドが大きく、アクセス遅延時間が増大すると考えられる。この

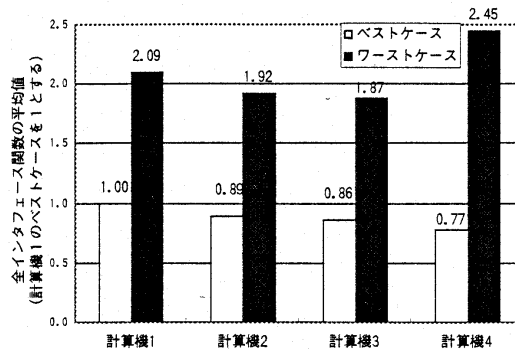


図1 計算機間の性能比較

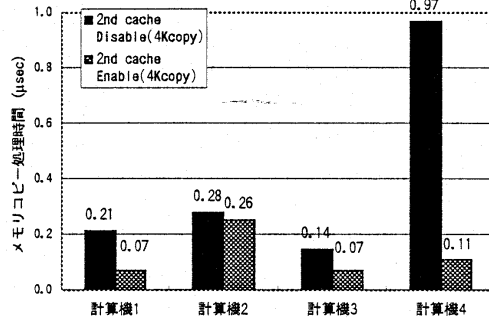


図2 メモリアクセス性能

ように、キャッシュ、TLBミスが起きた場合、実効性能はメモリアクセス性能に依存する。

今回測定したPentium Pro搭載の計算機は、他のPentium搭載の計算機に比べてキャッシュ、TLBにヒットする場合の実効性能は優れているが、キャッシュ、TLBミスが発生した場合の実効性能は最も悪いことが分かった。

### 4. おわりに

本報告は、自動性能測定プログラムによる連続メディア処理向けカーネルHiTactixの性能評価について述べた。

性能測定の結果、HiTactixは現在のPC-AT互換機において、性能面での設計仕様を達成していることを確認した。また、計算機の実効性能はCPU性能とメモリアクセス性能に依存し、カーネルの性能向上には両者の性能向上が必要であることを確認した。自動性能測定プログラムは、各カーネルインタフェース毎に性能評価が可能であり、今後は、アプリケーションを含めた実環境における性能評価方法についての研究を進める予定である。

### 参考文献

- [1] 岩寄他, "連続メディア処理向きマイクロカーネルHiTactixの設計と評価", 情報処理学会, コンピュータシステムシンポジウム論文集, 1996.
- [2] 竹内他, "アイソクロナス・スケジューラの設計と性能評価", 情報処理学会, システムソフトウェアとOS研究会, マルチメディア通信と分散処理研究会, 1996.
- [3] M. Iwasaki, et al., "A Micro-Kernel for Isochronous Video Data Transfer", WWCA'97, 1997.
- [4] 中野隆裕他, "Ethernet上でQoSを保証する通信方法の設計と実装", 情報処理学会, 97年コンピュータシステム・シンポジウム論文集, 1997.