

非同期式回路を FPGA に実装するための一設計手法

河野 寛行[†] 桑子 雅史[‡] 持木 幸一[†]

[†]武蔵工業大学大学院 工学研究科 電気工学専攻

[‡]武蔵工業大学 工学部 コンピュータ・メディア工学科

1. はじめに

非同期式回路は同期式回路に比べ低消費電力で高速な動作が期待されているが、カスタム LSI をターゲットとした開発が主流であり、システム開発時に重要となるプロトタイピングを行うことが難しく開発期間が長い。そこで、最も普及しているプロトタイピング用デバイスである FPGA(Field Programmable Gate Array)上に非同期式回路を実現できれば、容易にプロトタイピングが可能となる。しかし、従来の非同期式回路設計法ではそのまま FPGA に適用することが難しい。本研究では非同期式回路を一般的である同期式設計用の FPGA に実装するための設計手法を提案する。

2. 遅延仮定とデータ転送方式

非同期式回路の設計時には設計指針として始めに遅延仮定の選定が必要となる。遅延仮定とは回路の素子や配線の遅延に対して設ける仮定のこと、様々なものが提案[1]されている。遅延仮定の選定は設計者の自由であるが、対象デバイスに対し不適当なものを選定すると、遅延仮定に適合はしていても実際には動作しない回路となる危険が高い。従って適切な遅延仮定の選定が必要である。

遅延仮定の選定後、データ転送方式(データバスにおけるデータ転送の方法)を決定する。遅延仮定に応じたデータ転送方式に基づいて回路が設計されるが、基本は下図の要求応答方式[1]による動作である。

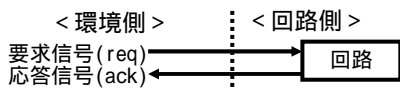


図1: 要求応答方式

3. FPGA の構造

本研究でターゲットとした Xilinx 社の FPGA Spartan シリーズ[2]は次のような構造である。

CLB(Configuration Logic Block)は任意の論理関数を実現し、SM(Switch Matrix)で縦横無尽に接続されデジタル回路が実現される。CLB 内部

は LB(Logic Block)4 つで構成されていて、LB に FF(Flip Flop)や LUT(Look Up Table)などが含まれる。本研究では CLB 内部の配線をローカル配線、CLB 間を繋ぐ配線をグローバル配線と呼ぶ。

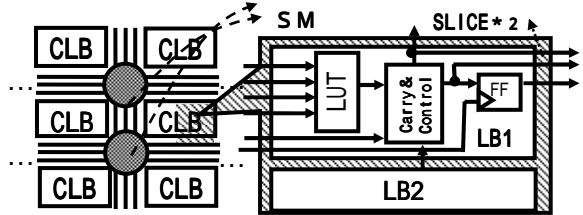


図2: FPGA(Xilinx Spartan シリーズ)の構造

4. 提案する遅延仮定

従来の非同期式回路設計法は論理ゲートを基本構成要素としているが、FPGA は LUT などを基本構成要素とするため、従来の非同期式回路設計法に従って設計した回路だと遅延仮定を満たさない構成となる可能性が高い。また論理設計の段階ではグローバル配線遅延の予測ができないため、それに応じた遅延仮定のもとで設計しなければならない。任意の機能を実現するために必要最低限の仮定をおく遅延仮定 QDI モデル[1]では等時分岐の仮定を設けるが、グローバル配線の遅延が予測不能であるのでその仮定を設けることも難しい。これらが非同期式回路を FPGA に実装するときの弊害であると考え、これに対応する FPGA に適した遅延仮定を提案する。

FPGA の素子遅延は図2の LB を構成する基本構成要素での遅延であり、配線遅延はローカル配線・グローバル配線での遅延である。これらの遅延の上限値は論理設計の段階では未知であるが、ローカル配線の遅延以外はテクノロジマッピング後のレポートファイルから既知となる。ローカル配線での遅延はグローバル配線や LB の遅延に対し相対的に非常に小さいため無視できる。そこで本研究では、CLB での遅延を素子遅延として、配線遅延はグローバル配線での遅延に限定する。

以上より提案する FPGA に対する遅延仮定は、「CLB を基本構成要素として、テクノロジマッピング前は素子・配線の遅延は未知であるが、テクノロジマッピング後にはその上限値は既知である」というものになる。この遅延仮定を FPGA モデルと定義する。

Title: A design method for implementing asynchronous circuits at FPGA
[†] Hiroyuki KAWANO, Major of Electrical Engineering, Musashi Institute of Technology Research Division in Engineering
[‡] Masashi KUWAKO, Koichi MOCHIKI, Department of Computer Science and Media Engineering, Faculty of Engineering, Musashi Institute of Technology

5. データ転送方式

FPGA モデルに基づくデータ転送方式は、図 3 に示す Huffman モデルに基づいて実現される束データ方式[3]を採用することが可能である。

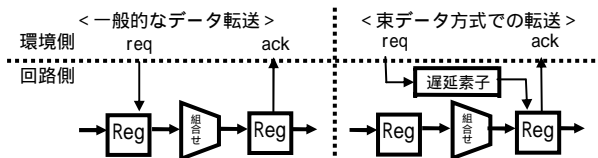


図 3: データ転送方式

この転送方式は、同期式設計に用いられる回路と同一のものが利用可能なので、FPGA に有効で資源の使用効率もよい。この転送方式を採用することにより、データパス回路においては一般的な非同期式回路と FPGA との間の基本構成要素の違いの問題は解消される。この転送方式を用いる際には遅延素子が不可欠である。FPGA における遅延素子は、CLB のカスケード接続によって適切な遅延時間を実現する。遅延時間の調整はレポートファイルを参照して CLB の個数を増減させることにより行う。

6. 提案する設計手順

非同期式回路の論理設計にレポートファイルの遅延情報を利用しようとすると、一度論理合成・テクノロジマッピングを行った結果に基づき遅延回路を調整し再び論理合成・テクノロジマッピングを行うと、遅延回路以外の箇所の遅延まで変化してしまい設計作業が収束しない危険がある。そこで、以下の設計手順を提案する。

FPGA でデジタル回路を設計するときには、以下の設計順序によって行われる。

.(HDL による)仕様記述	.配置配線
.論理合成	.Configuration
.テクノロジ・マッピング(T・M)	

レポートファイルを利用するためには設計を終えた非同期式回路を一度の段階まで行う。この時生成されるレポートファイルから遅延を解析し遅延回路を調整する。この調整後の論理合成で遅延情報や配置配線の結果が変わるので、レポートファイルの情報を維持する論理圧縮禁止制約・配置制約を使う。

論理圧縮禁止制約はシステムを構成するモジュール同士を常に論理圧縮させない制約で、配置制約はユーザーが設計した回路を FPGA 内の任意の場所に配置してその状態を維持し続ける制約である。この 2 つの制約で回路の遅延時間は変化しない。この考え方による FPGA 用の非同期式回路の設計手順を図 4 に示す。この図での論理合成ツールでは上記の ~ を行う。

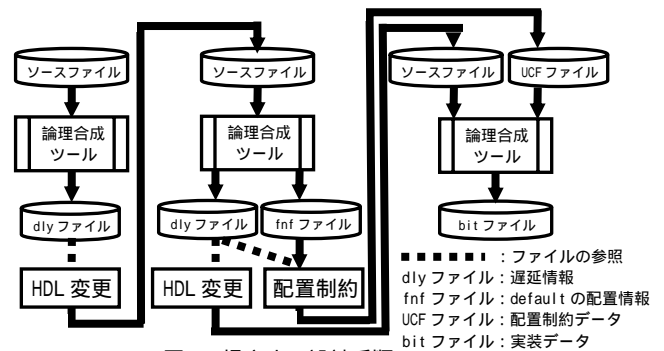


図 4: 提案する設計手順

1 回目の論理合成後には、dly ファイルを参照して設計した回路を構成する全てのレジスタ間転送の遅延解析を行う。その結果より図 4 の最初の「HDL の変更」においてレジスタ間転送に遅延回路を加える。この遅延回路の遅延時間 D は以下の式に示す大きめの値とする。

$$D = (\text{レジスタ間転送に必要な遅延時間}) \times (> 1) \dots (1)$$

2 回目の論理合成後には更新された dly ファイルを参照して遅延時間を適切な値に調整する。(1)式のように加えた遅延回路の遅延時間を大きめに設定しているので、2 回目の「HDL の変更」では CLB を削減して遅延時間を調整する。の値を適切に設定すれば、遅延時間の調整に伴う資源使用効率の低下を抑えられるものとする。また配置制約によって各回路の FPGA 内における配置を固定する。この制約によって、その後再度論理合成を行っても設計した回路の配置は変わらないので遅延情報は不変となる。

3 回目の論理合成によって FPGA に実装可能な非同期式回路のコンフィギュレーションファイルが生成される。

7. まとめ

一般的な同期式設計用の FPGA に非同期式回路を実装するための設計手法を提案した。独自の遅延仮定「FPGA モデル」を定義し、このモデルに適合した非同期式回路を、既存の同期式設計用ツールで 3 回の論理合成・テクノロジマッピングを行うことで実現する手法である。

参考文献

- [1] 南谷 崇. 非同期式プロセッサ 超高速 VLSI システムを目指して 情報処理, Vol34, No.1, Jan, 1993
- [2] Xilinx Corporation Spartan 2.5V FPGA Family: Functional Description September 3, 2003
- [3] Takashi Nanya. Motivation of Implementing Asynchronous Circuits into FPGAs. In The 4th Information Engineering summer course seminar. June 7, 1999