

1. 受賞者: 飯塚 哲也 (東京大学)

論文名: 論理制約式を用いた最小幅トランジスタ配置手法の非相補型回路への拡張

著者名: 飯塚哲也、池田 誠、浅田邦博 (東大)

発表研究会: DAシンポジウム2004

論文概要:

この論文では、充足可能性判定を用いたCMOS論理セルレイアウト手法を拡張し、フリップフロップなどの相補的でない P/N トランジスタを含む回路のレイアウト手法を示したものである。上下に並ぶ P/N トランジスタのゲート端子が共通でない部分を最小化しながら、最小幅のトランジスタ配置を生成することが特徴である。従来法で対応ができなかった回路のレイアウトができるようになると同時に、ゲート端子を共通としないことにより従来法よりもセル幅を小さくできる場合があることを実験的に示している。

2. 受賞者: 佐藤 高史 (ルネサステクノロジ)

論文名: フロアプランにおけるオンチップ熱ばらつきの解析と対策

著者名: 佐藤高史 (ルネサステクノロジ)、市宮淳次 (リコー)、小野信任 (ジータットイノベーション)、蜂屋孝太郎 (NECエレクトロニクス)、橋本昌宜 (京大)

発表研究会: DAシンポジウム2004

論文概要:

チップ上での熱分布状況を解析するために、パッケージを含むLSIの熱シミュレーションモデルを作成し、温度ばらつきの原因となるパラメータとチップ内の最大温度との関係を示している。結果として、チップ内のメモリの比率の増加により、チップ内の温度差が大きくなることと、温度差がロジックの配置に強く依存することを示している。

3. 受賞者: 樋口 博之 (富士通研)

論文名: 順序回路のタイミング例外パス検出のための実用的方法

著者名: 樋口博之 (富士通研)・松永裕介 (九大)

発表研究会: 117 回研究会 (デザインガイア、2004年1月2日)

論文概要:

本論文では、大規模な順序回路のタイミング例外パスを検出するための実用的方法を提案している。まず、回路中のパスの数え上げを行わず、かつ、回路を大域的に見てフォールスパスの検出を行う方法として、マルチプレクサ(MUX)グラフという概念を導入し、MUXグラフの縮約とMUXグラフ上のパスの数え上げによりフォールスパス集合の集合を生成し圧縮する方法を提案している。また、フリップフロップ(FF)ペアベースのマルチサイクルパス解析においてFFペア間の一部のパスのみマルチサイクルであるようなパスも検出し、検出能力を向上させる方法を提案している。

4. 受賞者: 松浦 宗寛 (九工大)

論文名: 不完全定義多出力論理関数を表現するBDDとその応用について

著者名: 松浦宗寛・笹尾 勤 (九工大)

発表研究会: 117 回研究会 (デザインガイア、2004年1月2日)

論文概要:

多出力論理関数を表現する二分決定グラフ(Binary Decision Diagram: BDD)の一つに、特性関数(Characteristic Function)を表現するBDD(BDD_for_CF)がある。本稿では、不完全定義多出力論理関数をBDD_for_CFで表現する方法を提案する。次に、不完全定義多出力論理関数を表現するBDD_for_CFの幅を小さくする方法について述べる。この手法は関数分解やLUTカスケードの合成に有用である。