

仮想化環境における LSTM を用いた キャッシュ置換に関する一考察

三浦泰誠[†] 福田直道[†] 中村鴻介[†] 光来健一[‡] 山口実靖[†]

キーワード: 仮想化環境, キャッシュ置換, 深層学習, LSTM, LRU

1. はじめに

OS におけるストレージアクセスはストレージ用キャッシュを介して行われる。キャッシュ置換アルゴリズムとしては伝統的に LRU(Least Recently Used)が用いられてきたが、ホスト型やハイパーバイザ型のようなゲスト OS とホスト OS の二重のストレージ用キャッシュを持つ二重キャッシュ環境では LRU は有効に機能しないことがわかっている [1]。よって、この環境においては LRU に代わるキャッシュ置換方法の考察が重要である。

近年、深層学習の性能が飛躍的に向上している。特に、RNN(Recurrent Neural Network)の発展型である LSTM(Long Short-Term Memory)は時系列データを扱うことに優れており多くの成果を挙げている [2]。

本稿では、LSTM のキャッシュ置換への応用について考察する。特に二重キャッシュ環境における LSTM のキャッシュ置換に対する有効性を評価する。

2. 関連研究

キャッシュ置換アルゴリズムの 1 つに Hawkeye がある [3]。置換アルゴリズムにおいて、今後最も長い期間参照されないデータを常に捨てるアルゴリズムが理想的なアルゴリズムであることが確認されており [3]、この最適なアルゴリズムは Belady の最適アルゴリズムあるいは OPT と呼ばれている。Hawkeye は OPT を模倣した OPTgen という機構を構築し、次にアクセスされるまでの間隔が最も長いと予想されたデータをキャッシュから破棄する。Hawkeye は、OPTgen が OPT を模倣する必要があることから、ループアクセスなどの一定間隔で同じアクセスがある環境で特に効果的に動作し、下位キャッシュなどへの適用を想定している。

OPT は未来のアクセスに関する情報が必要であるため、現実では実現不可能である。そこで、深層学習(DNN, Deep Neural Network)を用いて未来のアクセスを予測し、最適アルゴリズム OPT を模倣する研究が行われている。特に RNN やそれを拡張した LSTM は時系列データを予測することに優れているため、これらを用いた研究が行われている。Shi らは、LSTM を用いて過去のアクセスログから各ブロック

の次のアクセスまでの間隔を予測し、キャッシュ内ブロックのうち次のアクセスまでの間隔が最長と予測されるブロックを破棄する手法を提案している。そして、性能評価により、LRU のキャッシュミス率を 8.9%低下できたことを示している。

3. LSTM を用いたキャッシュ置換

本章にて LSTM を用いたキャッシュ置換手法を提案する。提案手法における LSTM 予測器は図 1 の様に、時刻 t におけるアクセスブロックのアドレスを入力値とし、時刻 $t+1$ における各ブロックの被アクセス確率を出力する。入力値はブロック数を次元数とする one-hot ベクトルであり、被アクセスブロックの次元の値のみが 1 で、他の次元の値は 0 となる。

キャッシュ置換は以下の様に行う。キャッシュのヒット、ミスにかかわらずアクセスごとに、キャッシュ内ブロックの中で予想被アクセス確率が最小のものと、キャッシュ外ブロックの中で予想被アクセス確率が最大のものとで、予想被アクセス確率の比較を行い、前者の確率の方が低い場合は、前者のブロックを破棄し、代わりに後者のブロックを格納する。LRU に基づく管理の場合と異なり、キャッシュヒット時でも置換が起こる可能性があり、今回アクセスされたブロックであってもキャッシュに格納されないことがある。

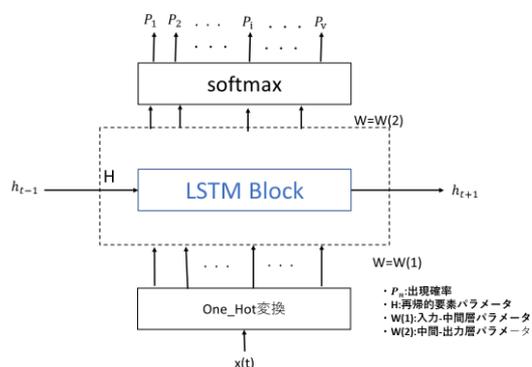


図 1 時刻 t における LSTM 予測器モデル

[†] 工学院大学
Kogakuin University
[‡] 九州工業大学

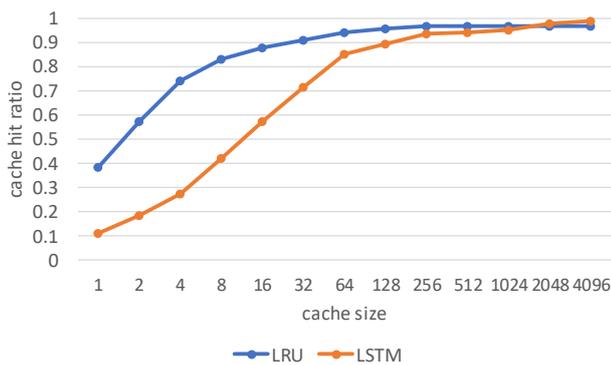


図2 非二重キャッシュにおける
キャッシュヒット率

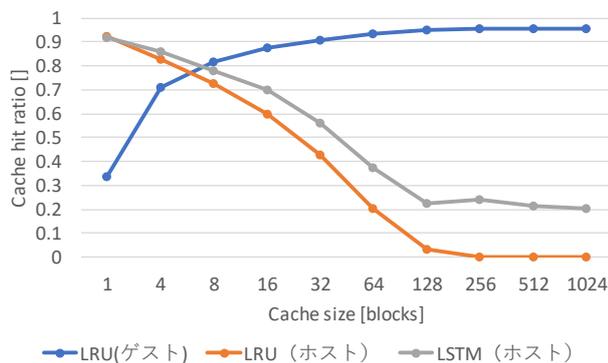


図3 二重キャッシュ環境における
キャッシュヒット率

4. 性能評価

4.1 非二重キャッシュ環境

SNIA[6]にて公開されているアクセスログ (Systor '17 Traces)を用いて, LRU と LSTM による置換のキャッシュヒット率をシミュレーションにより評価した. キャッシュ管理ブロックは 1GB, キャッシュサイズは 1 から 4096 ブロックとし, 提案手法においては前半 50%と後半 50%をそれぞれトレーニングデータとテストデータとした.

シミュレーション結果を図 2 に示す. 図より, 非二重キャッシュ環境においてはほとんどのキャッシュサイズにおいて LRU による置換の性能が LSTM による性能を大きく上回り, 伝統的に使用されてきた LRU が近年注目を集めている深層学習と比較しても優れていることが確認できた.

4.2 二重キャッシュ環境

次に, 前節のログを用いて仮想化環境におけるホスト OS キャッシュ(二重キャッシュ環境における第二キャッシュ)置換の性能をシミュレーションにより評価する. ゲスト OS キャッシュ(第一キャッシュ)のサイズは 1 から 1024 ブロックに変化させ, ホスト OS キャッシュのサイズは 128 ブロックとした.

シミュレーション結果を図 3 に示す. 図より, 仮想化環

境のホストキャッシュ(第二キャッシュ)においては, LSTM の性能が LRU を上回っていることが分かる. LRU の性能は非常に低く, ゲストキャッシュサイズ 256 ブロック以上ではヒット率はほぼ 0 となることが分かる. 一方, LSTM においてはゲストキャッシュサイズが 256 ブロック以上であっても 20%以上のヒット率は実現できホスト OS メモリをある程度活用できることが分かる.

5. おわりに

本稿では, 仮想化環境における LSTM を用いたキャッシュ置換を提案し, 公開されているストレージアクセスログを用いてシミュレーションによりその性能を評価した. 評価の結果, 非二重キャッシュ環境ではこれまで伝統的に使われてきたキャッシュ置換アルゴリズムである LRU の性能が近年注目を集めている深層学習に基づく LSTM を大きく上回ることが確認された. しかし, 二重キャッシュ環境において LRU は効果的に機能せず, LSTM を用いたキャッシュ置換がキャッシュヒット率にて LRU を上回ることが確認された. 今後は, 他の関連研究との性能の比較を行う予定である.

謝辞

本研究は JSPS 科研費 17K00109, 18K11277 の助成を受けたものである.

本研究は, JST, CREST JPMJCR1503 の支援を受けたものである.

参考文献

- [1] Y. Nagasako and S. Yamaguchi, "A Server Cache Size Aware Cache Replacement Algorithm for Block Level Network Storage," *2011 Tenth International Symposium on Autonomous Decentralized Systems*, Tokyo & Hiroshima, 2011, pp. 573-576. doi: 10.1109/ISADS.2011.80
- [2] F. A. Gers, J. Schmidhuber and F. Cummins, "Learning to forget: continual prediction with LSTM," *1999 Ninth International Conference on Artificial Neural Networks ICANN 99. (Conf. Publ. No. 470)*, Edinburgh, UK, 1999, pp. 850-855 vol.2. doi: 10.1049/cp:19991218
- [3] Akanksha Jain and Calvin Lin, *Hawkeye: Leveraging Belady's Algorithm for Improved Cache Replacement*, 2nd Cache Replacement Competition, 2017
- [4] A. Jain and C. Lin, "Back to the Future: Leveraging Belady's Algorithm for Improved Cache Replacement," *2016 ACM/IEEE 43rd Annual International Symposium on Computer Architecture (ISCA)*, Seoul, 2016, pp. 78-89. doi: 10.1109/ISCA.2016.17
- [5] Zhan Shi, Xiangru Huang, Akanksha Jain, and Calvin Lin. 2019. Applying Deep Learning to the Cache Replacement Problem. In *Proceedings of the 52nd Annual IEEE/ACM International Symposium on Microarchitecture (MICRO '52)*. ACM, New York, NY, USA, 413-425. DOI: <https://doi.org/10.1145/3352460.3358319>
- [6] SNIA - Storage Industry Association: IOTTA, <http://iotta.snia.org/tracetypes/3>, <accessed Dec. 3, 2019>