

TSVを用いた3次元実装ハイブリッドSSDのアプリケーション依存性

杉山 佑輔¹ 山田 知明¹ 松井 千尋¹ 竹内 健¹

TSVを用いた3次元実装ハイブリッドSSDにおいて、消費電力のアプリケーション依存性について評価を行った。モバイル用途で使用されるローエンドハイブリッドSSDでは、読み出しが支配的でホットかつランダムなワークロードで25.7%の消費電力削減を実現した。さらに、エンタープライズ用途で使用されるハイエンドハイブリッドSSDでは、読み出しが支配的でコールドかつシーケンシャルなワークロードで57%の消費電力を削減した。

1. 背景・目的

NANDフラッシュを記憶媒体としたSolid-state drive (SSD)は、PCなどのモバイル用途からサーバなどのエンタープライズ用途まで広く使用されている。また更なる高速化を求めて、次世代メモリとして期待される高速かつ大容量という特徴を持つStorage Class Memory (SCM)とNANDフラッシュとを組み合わせたハイブリッドSSDが注目されている。しかし、エンタープライズ用途のハイブリッドSSDでは大きな容量を要求されるため、消費電力が増大してしまう。そこで、Through Silicon Via (TSV)を用い3次元実装することで、消費電力の削減が期待される。本論文では、TSVを用いた3次元実装ハイブリッドSSDにおいて、消費電力のアプリケーション依存性を評価した。

2. TSVを用いた3次元実装ハイブリッドSSD

ハイブリッドSSDは用途によって要求される容量が異なり、モバイル用途では小容量なローエンドハイブリッドSSDが、エンタープライズ用途では大容量のハイエンドハイブリッドSSDが要求される。図1のようにNANDフラッシュでは1チップあたり8pF、SCMでは1チップあたり5pFのI/Oピンキャパシタンスが付加される。したがって、1チャンネルに接続されるチップ数が増加するほどSSD容量が大きくなるが、消費電力が増大してしまう。そこで、TSVによる消費電力の削減が期待される。TSVとは積層したチップを垂直方向に貫く貫通電極である。チップ間の配線長が短くなることで、1チップあたりのI/OピンキャパシタンスをNANDフラッシュ、SCMともに0.3pFに削減することができる。ハイブリッドSSDの消費電力はデータの書き込み、読み出し、消去で生じるメモリア電力とインターフェースで生じるI/O電力に分

けられ、TSVはI/O電力の削減を可能にする。また、本論文におけるハイブリッドSSDのチャンネル数は図1のようにNANDフラッシュは8、SCMは1とする。また、ハイブリッドSSDでは、高頻度でアクセスされるホットデータをSCMに、アクセス頻度の低いコールドデータをNANDフラッシュに格納することで、SSD全体のアクセス性能を向上させている。本論文で用いたNon-volatile memory Write Back (NVM-WB)キャッシュアルゴリズム[2]では、図2のように書き込みリクエストは全てSCMに書き込まれ、読み出しリクエストはデータが存在するSCM、またはNANDフラッシュから読み出される。その際、NANDフラッシュから読み出されたデータはSCMにコピーされる。NVM-WBでは、不揮発性キャッシュを用いるため、瞬時に備えたデータの退避が必要ない。

3. 3次元実装ハイブリッドSSDのアプリケーション依存性

図3のようにワークロード[3]は、書き込みおよび読み出しのリクエスト数、ホットまたはコールド、リクエストデータサイズの3要素から8つのカテゴリに分類する。ホットおよびコールドは、平均上書き回数または読み出し頻度によって定義される。また、リクエストデータサイズは8KBを境界とし、8KB以下のデータをランダム、8KBより大きいデータをシーケンシャルとした[2]。SSDエミュレータ[1]を用いて、図4に示す7つのカテゴリから1つずつワークロードを選び、ハイブリッドSSDの消費電力を評価する。なお、SCM容量はNANDフラッシュ容量の10%とする。図4にTSVによる消費電力の削減率を示す。1チャンネルあたり1チップのNANDフラッシュが接続されるローエンドハイブリッドSSDでは、カテゴリV(読み出しが支配的でホットかつランダム)のワークロードを用いた時、

1 中央大学理工学部

消費電力の削減率が最も大きい。一方、1チャンネルあたり32チップのNANDフラッシュが接続されるハイエンドハイブリッドSSDでは、カテゴリVIII(読み出しが支配的でコールドかつシーケンシャル)のワークロードを用いた時、最も多くの消費電力が削減された。TSVはI/O電力を削減することができるため、ハイブリッドSSD全体の消費電力のうちI/O電力が占める割合が大きくなるほど、TSVによる消費電力削減率が大きくなる。表1にTSVを用いていないハイブリッドSSDのI/O電力とメモリア電力の比を示す。ローエンドハイブリッドSSDではカテゴリVのワークロードの時、I/O電力の割合が27%と最も大きい。またハイエンドハイブリッドSSDにおいては、カテゴリVIIIのワークロードでI/O電力の割合が59%と最も大きくなっていることが分かる。表2にアプリケーションおよび用途によるTSVの有効性をまとめる。ローエンドハイブリッドSSDでは、カテゴリVのワークロードを用いた時、TSVによる消費電力削減率が25.7%と最も大きく、ハイエンドハイブリッドSSDでは、全てのワークロードで約50%程度の消費電力削減ができ、特にカテゴリVIIIのワークロードを用いた時、57%の消費電力が削減される。

4. 結論

TSVを用いた3次元実装ハイブリッドSSDにおいて、消費電力のアプリケーション依存性について調査を行った。ローエンドハイブリッドSSDは、読み出しが支配的で、ホットかつランダムなワークロードに適する。また、ハイエンドハイブリッドSSDは全てのワークロードにおいてTSVは有効であるが、特に読み出しが支配的で、コールドかつシーケンシャルなワークロードに最も適する。

謝辞

本研究を進めるにあたり、ご指導を頂いた竹内健教授、小名木貴裕氏をはじめ、各研究室員に心より感謝いたします。

参考文献

- [1] Y. Sugiyama et al., "Application Dependency of 3-D Integrated Hybrid Solid-State Drive System with Through-Silicon Via Technology", IEEE International Conference on Electronic Packaging, pp.79-82, 2016
- [2] S. Okamoto et al., "Application Driven SCM&NAND Flash Hybrid SSD Design for Data-centric computing System.", IEEE International Memory Workshop, pp.157-160, 2015
- [3] MSR Cambridge Traces, <http://iota.snia.org/traces/388>.

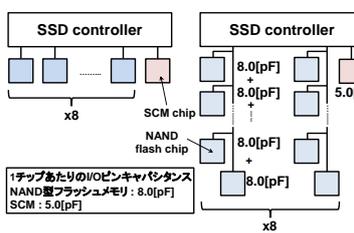


図1 I/Oピンキャパシタンス[1]

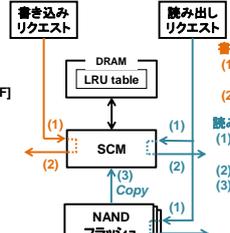


図2 NVM-WB[2]

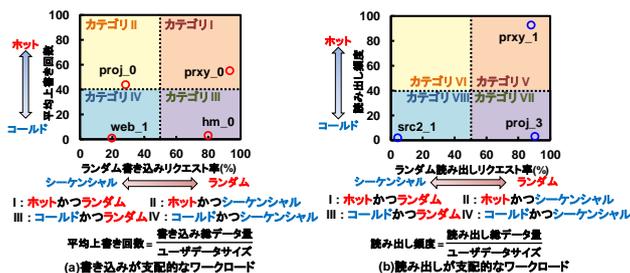


図3 ワークロード解析[2]

表1 TSVを用いていないハイブリッドSSDにおけるI/O電力とメモリア電力の比[1]

データアクセスパターン	(a)ローエンドハイブリッドSSD(w/o TSV)		(b)ハイエンドハイブリッドSSD(w/o TSV)	
	I/O (SCM, I/O+NAND, I/O)	mem_core (SCM, core+NAND, core)	I/O (SCM, I/O+NAND, I/O)	mem_core (SCM, core+NAND, core)
I	8.4%	92%	50%	50%
II	7.2%	93%	48%	52%
III	5.9%	94%	53%	47%
IV	4.6%	95%	50%	50%
V	27%	73%	47%	52%
VII	7.9%	92%	58%	42%
VIII	5.8%	94%	59%	41%

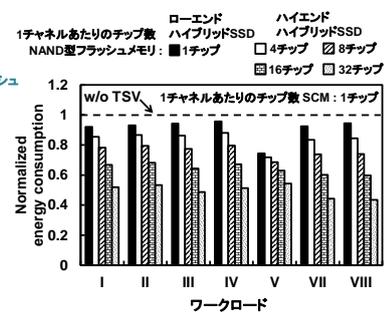


図4 TSVによる消費電力削減率[1]

表2 ワークロードおよび用途によるTSVの有効性[1]

データアクセスパターン	消費電力削減率	
	1チャンネルあたりのチップ数: 1 (ローエンドハイブリッドSSD)	1チャンネルあたりのチップ数: 32 (ハイエンドハイブリッドSSD)
I	7.9%	48%
II	6.9%	47%
III	5.7%	52%
IV	4.4%	48%
V	25.7%	46%
VII	7.5%	56%
VIII	5.6%	57%