

省電力プロセッサと OS の開発評価環境の実現

坂本 龍一^{†1} 小林 弘明^{†1} 高橋 昭宏^{†1}
佐藤 未来子^{†1} 並木 美太郎^{†1} 天野 英晴^{†2}
宇佐美 公良^{†3} 近藤 正章^{†4} 中村 宏^{†5}

1. はじめに

本研究では、細粒度パワーゲーティング機能（以下 PG）を備えるプロセッサとシステムソフトウェアとが連携しながら省電力を達成する計算機システムを研究開発している。組込み OS から Linux 等の大規模な汎用 OS を用いて実環境に近い評価を行うために、本研究ではこれまでに、FPGA を備える評価ボード上に細粒度 PG を備えたプロセッサコアを含む計算機環境を実現し、プロセッサの研究開発と同時並行でシステムソフトウェアの試作評価を進めてきた³⁾。現状では、この FPGA による評価環境を実チップ向け評価環境へと移行し、実チップと OS による動作と電力削減効果の検証を進めている。本稿では、本開発評価環境の仕様と実現方法を示し、その環境上で構築したシステムソフトウェアを紹介する。

2. 実チップ向け評価環境

実チップの迅速な動作検証とともに、研究開発中のシステムソフトウェアを既存の FPGA 評価環境³⁾ から実チップの評価環境へ短期間で移行することを目標に、図 1 に示す構成で実チップ向け評価環境を実現した。従来、ホストボード上の FPGA 上で動作していた CPU コアを実チップとして分離し、主記憶、I/O はそのまま利用することにより、開発工数を減らすと同時に信頼性を確保した。なお、実チップ化の過程において、I/O アドレスはそのままとすることで OS に変更は不要であった。

2.1 ターゲット CPU

本システムでは、MIPS R3000 の演算ユニットに細粒度 PG 機能を有する省電力プロセッサ Geysers⁴⁾ を対象としている。Geysers には、TLB、キャッシュメモリ、MMU、細粒度 PG 機能、例外・割り込み機構などを備えており、Linux 等の汎用 OS を実行でき

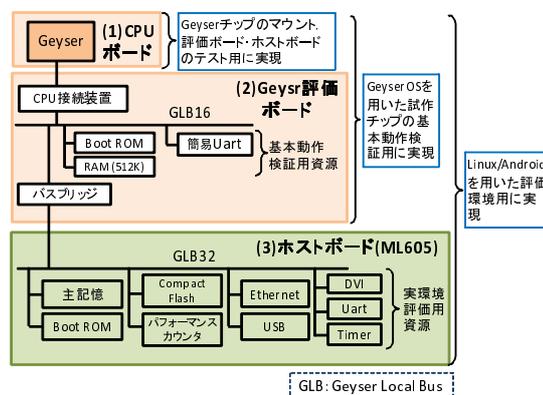


図 1 システム構成

る。本 CPU コアは、まず次節に示すホストボード上の FPGA 内で実装して動作検証した後に、実チップ化を行った。

2.2 ボード構成

本システムは、CPU ボード、Geysers 評価ボード、ホストボードの三つのボードから構成される。

2.2.1 CPU ボード

Geysers の実チップは試作チップなので、パッケージングされておらず、ボンディングされた状態で基板上に装着される。歩留まりによりすべてのチップが動く保証がないので、本 CPU ボードを交換可能とした。本 CPU ボードは、市販の FPGA ボードとピンコンパチブルとすることで、FPGA による周辺回路のテストを可能とし、Geysers チップとシステム全体のテストとデバッグを容易にした。

2.2.2 Geysers 評価ボード

Geysers チップの基本機能テストを行うために、CPU ボードをマウントし、メモリアクセス、消費電力測定を行うボードも開発した。FPGA 内のメモリを用いたメモリアクセステスト、測定結果出力を行うと同時にホストボードとのインターフェースを提供する。なお、本評価ボードだけでも、0.5MB 程度のメモリを提供できることから、CPU ボードと組み合わせることにより組込み OS である GeysersOS⁵⁾ により基本動作検証、

†1 東京農工大学

†2 慶應義塾大学

†3 芝浦工業大学

†4 電気通信大学

†5 東京大学

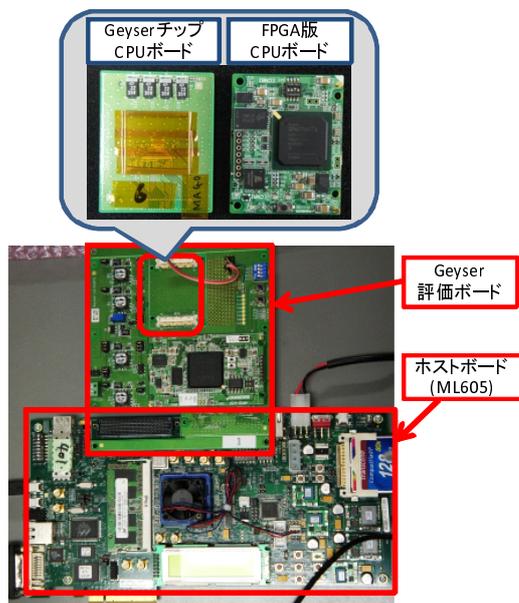


図 2 実チップ向け評価環境

Geysler チップの割り込み・例外機能のテスト、MMU を用いた仮想記憶のテストまでを行った。

2.2.3 ホストボード

Geysler チップにおいて Linux や Android などの汎用 OS に対応するためには、周辺回路を搭載した実環境に近い評価環境を準備する必要がある。本研究では、従来 Geysler をソフトコアとして実現していた FPGA ボードを、主記憶と I/O を実現するホストボードとして採用し、周辺回路を備えた評価環境を実現した。本ホストボード上には、主記憶 (256MB)、ROM、タイマ、UART、Compact Flash (CF)、Ethernet、USB、DVI などを備えており、細粒度 PG による電力削減効果を推算するためのスリープ頻度の計測用カウンタ、キャッシュミスを計測するためのパフォーマンスカウンタなども、従来のソフトコアの構成と同じ RTL の資産を用いてホストボード上の FPGA に実装できた。

以上、ホストボードを含む実チップ向け評価環境を図 2 に示す。ホストボードは、Geysler 評価ボード上のバスブリッジ機能により、Geysler 評価ボードと接続している。

3. OS による省電力制御方式

本研究では Geysler チップに搭載している省電力機構を用いて、システムソフトウェアから PG を制御する各種方式を提案してきた^{6),7)}。

(1) Linux における PG 制御方式⁶⁾

Linux プロセススケジューラにおいて、電力的に不利になる PG がどの程度あるかをプロセス切替え時に動的に算出し、最適な省電力モードをプロセスごとに

適用した。

(2) コンパイラと OS との協調制御方式⁷⁾

Geysler 向けコンパイラ⁸⁾により PG 制御情報を含むオブジェクトコードを温度ごとに生成しておき、OS が実行時のコア温度の変化に基づいて動的にこれらを切り替えて実行させた。

これらの方式は、既存の FPGA 評価ボード環境により実装・評価を行ってきた。2 章に示したホストボードによる周辺装置の準備、Geysler 評価ボードを用いた Geysler チップの例外・割り込み、MMU の動作確認等を段階的に行うことにより、本実チップ向け評価ボード環境の Geysler チップ上へこれらの OS を修正することなく移行させることができた。

4. おわりに

本稿では、実チップ向け評価ボード上に実現した省電力計算機の開発評価環境および OS の研究成果を示した。本ポスターでは本稿で示した実チップと共に本評価ボードを展示する。なお現在、アクセラレータおよび実チップを積層したチップ向けの CPU ボード、Geysler 評価ボードも別途開発して動作している。これらは別の機会に報告したい。

参考文献

- 1) S. Roy et al, "A frame-work for power-gating functional units in embedded microprocessors", IEEE transactions on VLSI Systems, vol.17, pp.1640-1649(2009).
- 2) A. Shrivastava et al, "Reducing functional unit power consumption and its variation using leakage sensors", IEEE Transactions on VLSI Systems, vol.18, no.6, pp.988-997(2010).
- 3) 高橋昭宏他, "FPGA による省電力計算機の開発評価環境の試作", SACSIS 2011 ポスターセッション No.60, pp.269-270 (2011).
- 4) N. Seki et al, "A Fine-grain Dynamic Sleep Control Scheme in MIPS R3000", Proc. of the 26th IEEE ICCD-2008, pp. 612-617(2008).
- 5) 砂田 徹也他, "細粒度パワーゲーティングを制御する OS の資源管理方式", IPSJ 2010-OS-114, No.8, pp.1-8 (2010).
- 6) 高橋 昭宏他, "細粒度パワーゲーティング制御による省電力化を行う Linux プロセススケジューラの試作", IPSJ 2011-OS-117, No. 31, pp. 1-8(2011).
- 7) 小林 弘明他, "OS における細粒度パワーゲーティング向けオブジェクトコードの実行時管理機構の研究", IPSJ 2011-OS-117, No. 1, pp. 1-8(2011).
- 8) T. Komoda et al, "Compiler-Directed Fine Grain Power Gating for Leakage Power Reduction in Microprocessor Functional Units", 7th Workshop on ODES-2009(2009).