

## 3次元積層LSIエミュレータを用いた画像処理システムの設計

福島 将馬<sup>†</sup> 青柳 昌宏<sup>††</sup> 大川 猛<sup>††</sup>

<sup>†</sup>熊本大学大学院 自然科学教育部 〒860-8555 熊本県熊本市中央区黒髪2丁目39-1

<sup>††</sup>熊本大学 半導体・デジタル研究教育機構 〒860-8555 熊本県熊本市中央区黒髪2丁目39-1

E-mail: <sup>†</sup>267d8854@st.kumamoto-u.ac.jp, <sup>††</sup>{m-aoyagi, ohkawa-takeshi}@kuamamoto-u.ac.jp

**あらまし** ロボット・IoTシステムの高性能化の要求に対し、TSVを用いた3次元積層LSIの技術開発が行われている。それに伴い、LSIシステムの設計の複雑化や長期化が懸念され、早期段階での機能および性能の検証のためのエミュレーション環境が提案されている。本研究では、設計早期段階における機能および性能の検証のため、FPGAを用いた3次元積層LSIのエミュレーション環境を用いて画像縮小システムを実装し、性能と消費電力の評価を行った。結果として、システムレベルの機能検証やボトルネック特定におけるエミュレータの有効性を確認した。

**キーワード** 3次元積層LSI, Through Silicon Via, FPGA

### 1. はじめに

#### 1.1. 研究背景

自動運転車やバッテリー駆動のロボット・IoTデバイスには、今後さらなる小型化・高性能化・低消費電力化が求められる[1][2]。例えば、自動運転車においては、画像認識処理や経路探索などの負荷の大きい処理が必要になるため、低遅延化・低消費電力化が求められる[3]。

これに対して、従来の平面方向への半導体集積技術に加え、TSV(Through Silicon Via)を用いて3次元方向に複数のLSIチップを積層することで、一つ高性能なチップとして統合する技術開発が行われている[4][5]。TSVによるチップ間の通信を行うためのバスの超並列化や配線長の大幅な短縮により、さらなる通信の高速化・低消費電力化が期待されている。

一方で、システム化技術・設計技術の観点では、複数の異種チップ積層というメリットを生かしたシステムの統合・最適化技術に関しては十分に検討されておらず、設計の複雑化・長期化が懸念される。また、TSVの数百～数千本以上の信号線を有効に活用するアプリケーションの設計手法や環境が不十分な点や、物理的な設計や最適化の複雑さによる設計期間の長期化が懸念される[6]。

こうした背景から、FPGAを用いたシステムレベルのエミュレーション手法が提案されており[7]、これにより、設計の早期段階での機能・性能の検証のための環境が整えられた。一方で、[7]では、ロボットやIoTシステムに用いられる実用的なアプリケーションやシステム設計への応用は行われていない。

#### 1.2. 研究目的

本研究では、3次元積層LSIの具体的な応用システム事例として、画像縮小システムを構築し、機能検証

および性能検証におけるエミュレータの有効性を評価する。また、同様のシステムを3次元積層LSIとして製造した際の消費電力の見積もり方法に関して検討する。

### 2. 3次元積層LSIシステムのモデル

本研究が想定する3次元LSIチップ積層システムの概念図および、FPGA上に実装する3次元積層LSIの動作モデルをそれぞれ図1、図2に示す。図1の3次元積層LSIシステムでは、文献[4][5]において試作評価されているTSVを用いた標準バスを用いることを想定する。標準バスの概要を表1に示す。各チップはロジックチップやメモリ、センサ、DAコンバータ等の様々なチップに相当し、これらをシステムの要求に応じて組み合わせてシステムを構築することを想定する。

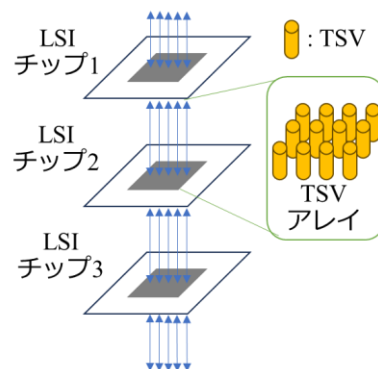


図1 3次元積層LSIシステムの概念図

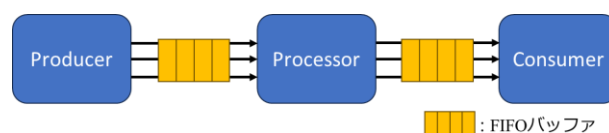


図2 3次元積層LSIシステムの動作モデル[2]

表 1 3次元積層 LSI 標準バスの概要[3]

項目	値
寸法	直径 10 $\mu$ m, 深さ 50 $\mu$ m (ピッチ 50 $\mu$ m)
TSV の数	1600 本 (データ用 1024 本)
信号周波数	50MHz
通信容量	51.2Gbps (1024 bit, 50MHz)
電力消費 (フリップチップ 実験)	87 mW (トグル率 : 50%)

図 2 の三次元積層 LSI システムの動作モデルは、図 1 の 3 次元積層 LSI システムを 2 次元方向にマッピングした物であり、Producer, Processor, Consumer と呼ばれる 3 つの回路ブロックから構成される。Producer がデータの発生源・供給元であり、そこから転送されたデータが Processor により処理・加工され、Consumer が処理後のデータを受け取る。TSV による数百～数千本以上の並列バスを模擬するため、各チップ間の通信方式として、AXI-4Stream プロトコルを想定する。また、FIFO バッファが通信を仲介することにより、個別に設計された各チップがそれぞれの最適なクロック周波数で動作することができる構成とした。これらにより、複数のチップがそれぞれの処理を並列して行うことができる。AXI4-Stream は、AXI 等のメモリマップド方式と比較して、すべてのデータの到着を待つ必要がないため、低遅延かつ広帯域な通信が可能である。

### 3. 設計内容

表 2 に設計および評価に用いたツールや機材を示す。

表 2 設計に用いたツール・機材の一覧

項目	名称
回路合成・システム統合ツール	Vivado 2024.2
高位合成ツール・制御ソフトウェア開発ツール	Vitis Unified IDE 2024.2
FPGA 評価ボード	Digilent 社製 Genesys 2 (Xilinx XC7K325T-2FFG900C 搭載)

#### 3.1. 画像縮小処理

本研究では、三次元積層 LSI システムの設計事例として、画像縮小システムを構築する。画像縮小処理は、画像認識アルゴリズムにおけるスケールピラミッド生成処理などに用いられ、メモリアクセスが多く、低消費電力の要求があるエッジデバイスでは計算負荷が大きいため、高速化・低消費電力化が必要な処理である。

#### 3.2. 画像処理 IP の設計

本研究で用いるエミュレータにおいて、画像処理システムを構築するためには AXI-4Stream インターフェースを持つ画像処理 IP の設計が必要となる。Vitis Vision Library[3]は、AMD(旧 Xilinx)社が提供する FPGA による画像処理のハードウェアアクセラレーション用ライブラリである。画像処理ソフトウェアに用いられる OpenCV ライブラリ準拠の関数郡が高位合成向けに最適化されており、短期間で最適化された画像処理システムの実装を行える。提供されているライブラリは、C++言語で記述されており、HDL 記述と比較して設計の柔軟性が高く、AXI-4Stream のインターフェースを備えた画像処理回路を短期間で実装できる。したがって、Producer, Process, Consumer の各ブロックのデザインには、Vitis Vision Library を用いて、高位合成によって設計を行った。

#### 3.3. 評価システムのデータフロー

評価を行うシステムのデータフローを図 3 に示す。Producer チップは、あらかじめ BRAM に書き込んでおいた 128 $\times$ 128 のグレースケール画像を転送し、Processor チップが 116 $\times$ 116 (1/1.1 倍)に縮小し、Consumer へ転送する。Consumer チップは受け取った画像データを BRAM へ書き込む。なお、縮小後の解像度に関しては、制御ソフトウェアから変更することが可能である。

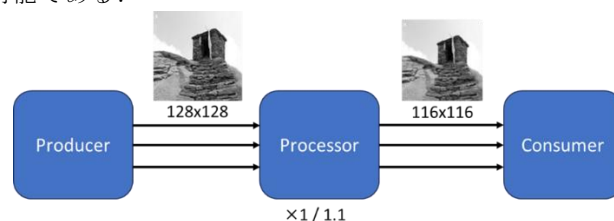


図 3 評価システムのデータフロー

#### 3.4. システム統合

Vitis Vision Library を用いて高位合成した IP を、Vivado のブロックデザインとして統合を行った結果を図 4 に示す。BRAM インターフェースを搭載しており、Producer が入力する画像データや Consumer が受信する画像データを格納し、MicroBlaze プロセッサで動作する C 言語ソフトウェアから参照することが可能になっている。

各チップ間の通信は、TSV\_network により仲介され

る. TSV\_Network は、2 節で述べたように、FIFO バッファにより実装している. TSV\_Network 内の FIFO バッファは、各チップの動作周波数とは異なる周波数 (clk\_tsv) による通信を行うことができる.

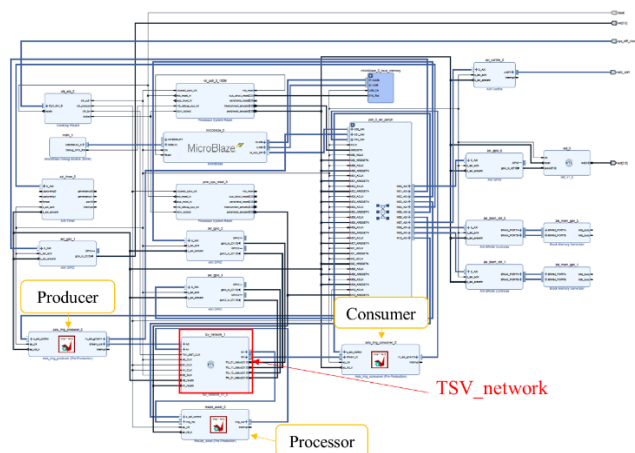


図 4 設計した画像縮小システムのブロックデザイン

## 4. 評価方法

本章では、エミュレータ上に実装した画像縮小システムの処理時間及び消費電力の評価方法について述べる. 評価は、前節で説明した画像縮小システムを用い、チップ間で TSV を用いて 1 枚の  $128 \times 128$  のグレースケール画像を転送し、 $116 \times 116$  (1/1.1 倍) に縮小する場合について行った. 消費電力については、TSV\_Network による通信エネルギーの評価のため、図 5 に示すように、3 つの IP を直結させた場合と TSV\_Network を介した場合の比較を行った. また、処理時間及び消費電力の評価結果から、実際に 3 次元積層 LSI を製造した際の性能及び消費電力に関する見積もり手法についての検討を行った. 評価は、チップ間の周波数を 5 MHz ~ 400 MHz の場合について行い、Producer, Process, Consumer の動作周波数はいずれも 100 MHz とした.

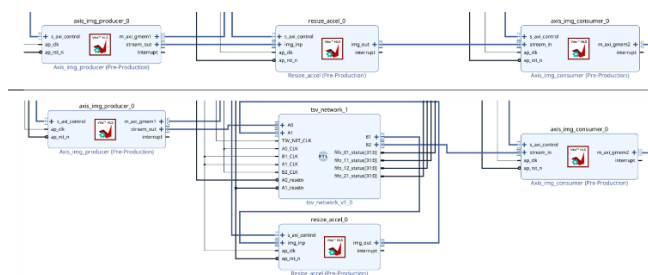


図 5 TSV\_Network の有無による比較

## 4.1. 処理性能

FPGA によるエミュレーションによるシステムの性能の評価結果について述べる. 処理時間は AXI-Timer モジュールで計測を行い、Consumer の処理終了時刻と Producer の処理開始時刻の差分をシステムの処理時間とした.

## 4.2. 消費電力

エミュレータ動作時の FPGA ボードの消費電力による評価と、Synopsys 社 Design Compiler による同様のシステムの電力解析結果について評価を行った. FPGA ボードの消費電力測定においては、シャント抵抗を用いて、抵抗間の電位差を測定することで、消費電力の算出を行った. FPGA ボードでは、アイドル状態でも一定の電力を消費するため、エミュレータ動作時とアイドル時の差分をシステムの消費電力として評価を行った.

## 5. 評価結果

本章では処理性能及び消費電力に関する評価結果について述べる.

### 5.1. 処理時間・消費電力に関する評価

処理時間と消費電力について、TSV\_Network によるチップ間通信周波数ごとに計測した結果を以下の図 6 に示す. 処理時間に関しては、チップ間通信が 30MHz 以上になると処理時間は  $600 \mu\text{s}$  (60,000 サイクル @100MHz) 付近で停滞し、画像縮小処理がボトルネックとなる様子が確認された.

消費電力に関しては、周波数に応じて飽和していく傾向はあるが、特定の周波数で大きく上昇している様子が確認された.

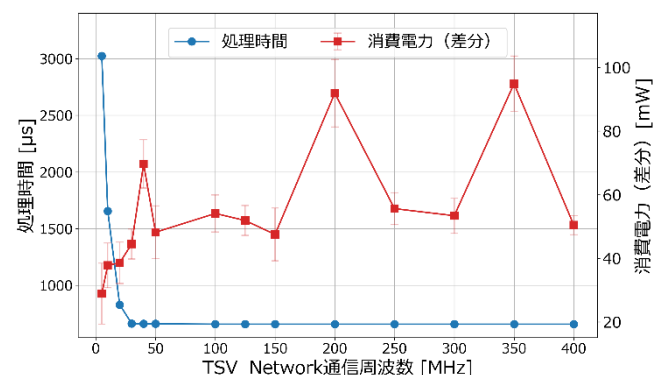


図 6 チップ間通信周波数による処理時間と消費電力の変化

### 5.2. TSV\_Network の通信エネルギー評価

次に、TSV\_Network の通信エネルギーの評価結果を述べる. 以下の表 3 に TSV\_Network の有無による処理時間と消費電力の比較を示す.

表 3 TSV\_Network の有無による比較

測定項目	3 チップ直結	TSV_Network (50 MHz)
処理時間[μs]	656.54	660.49
消費電力[mW]	22.3	48.2

TSV\_Network 無しの場合の消費エネルギーを  $E_{\text{process}}$ , TSV 有りの場合の消費エネルギーを  $E_{\text{TSV}}$  とすると, TSV\_Network の消費エネルギー  $\Delta E$  は,

$$\begin{aligned}\Delta E &= E_{\text{TSV}} - E_{\text{process}} \\ &= (660.49 \times 10^{-6}) \times (48.2 \times 10^{-3}) - (656.54 \times 10^{-6}) \times \\ &\quad (22.3 \times 10^{-3}) \\ &\cong 17.2 [\mu\text{J}] \quad (1)\end{aligned}$$

TSV\_Network による通信のエネルギー効率(1)の結果を総データ量で割ることで算出し, 総通信データ量は  $128 \times 128$  と  $116 \times 116$  の解像度のグレースケール画像二つの合計で 238,720 bit であるから, 本エミュレータにおけるデータ通信のエネルギー効率は

$$\frac{17.2 \times 10^{-6} \text{ J}}{238720 \text{ bit}} = 72.0 \text{ pJ/bit}$$

となる. [9]では, 3 次元積層デバイスを試作し, 通信機能の評価を行っており, 1024 bit の信号線, 50 MHz 時において 1.7 pJ/bit の高効率通信が報告されている. 3 次元積層化によりチップ間通信のエネルギー効率は 42 倍程度効率化することが確認された.

特定の周波数において消費電力が上昇する現象に関しては, 図 7 示すように, TSV\_Network が 40 MHz 時と 50 MHz 時の Vivado による論理合成と配置配線後の Power Summery から, 動的消費電力が 40 MHz 時の方がおよそ 10 mW 大きく, その内訳を見ると, 生成するクロック周波数ごとに MMCM (Mixed Mode Clock Manager) による消費電力が異なることが確認された.

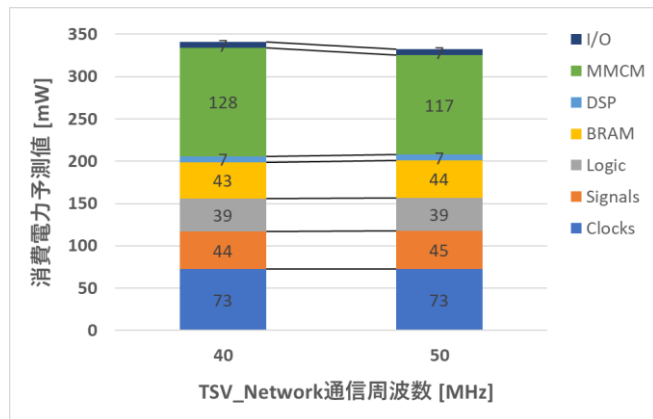


図 7 TSV\_Network=40MHz, 50MHz 時の Vivado による Power Summery

図 8, 図 9 に TSV\_Network の各周波数における消費

電力の実測値と予測値の比較を示す. 図 8 にはアイドル時およびシステム動作時のボード全体の消費電力と, その差分, Vivado の消費電力予測結果を示す. 図 9 から, 実測値 (差分) と予測値との間で, ピーク値の現れ方の全体的な傾向が一致していることが確認された. 図 7 および図 9 の結果から特定の周波数における消費電力の上昇はクロック生成によるものであることが示され, FPGA によるエミュレーションは性能の見積もりにおいては有効であるが, 消費電力の見積もりには, 各チップの消費電力を個別に評価することが難しく, クロック回路を物理的に切り分けたエミュレータ構成の必要性や, 代替手段の必要性が示された.

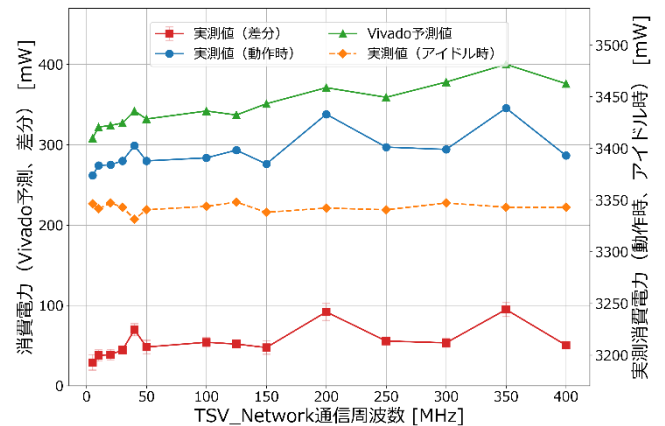


図 8 実測データ (ボード全体および差分) と Vivado による予測データの比較

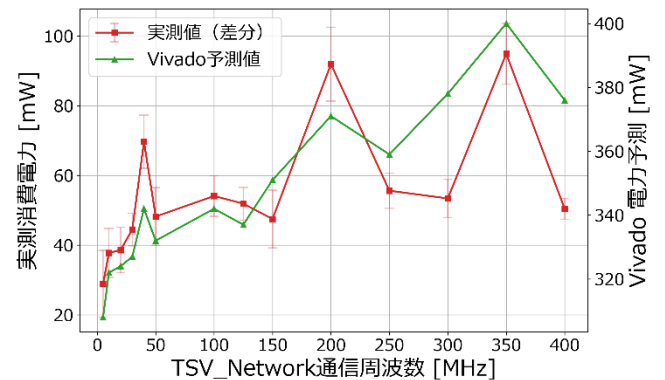


図 9 消費電力の実測値 (差分) と予測値の比較

### 5.3. 消費電力見積もり方法の検討

図 9 に示すように, FPGA によるエミュレータにおいて実測した消費電力値からは, 全体的な傾向を知ることが可能であるが, 各チップ及び TSV を用いたシステム統合後の正確な消費電力値を直接見積もることはできない. そこで, 3 章で設計を行った Producer, Processor, Consumer の HDL 記述を Synopsys 社 Design Compiler を用いて論理合成を行い, チップの見積もり



手法の検討を行った。プロセスノードは 0.18  $\mu\text{m}$  プロセスを用いた。Vitis HLS により生成された各 IP の Verilog 記述を用いて Design Compiler 上で論理合成を行った際の消費電力と面積の関係を図 10 に示す。

Vitis HLS により生成された Verilog 記述は、FPGA 内部の BRAM ブロックや DSP ブロックなどを有効活用するように最適化が行われているため、それらのリソースが存在しない ASIC 向けの論理合成ツールでは、すべて標準セルライブラリにより実装が行われる。[10]では、FPGA はフリップフロップが豊富なため、パイプライン段数を増やす最適化が一般的であるが、ASIC においてはフリップフロップの面積コストが高く、クリティカルパス以外の部分にパイプラインレジスタが存在している場合、無駄に面積を消費してしまうことが示されている。実際に、最も回路規模の大きかった Producer IP では、図 11 に示す消費電力レポートから、消費電力のうち 98.55% がクロック配線によるものであることが確認された。

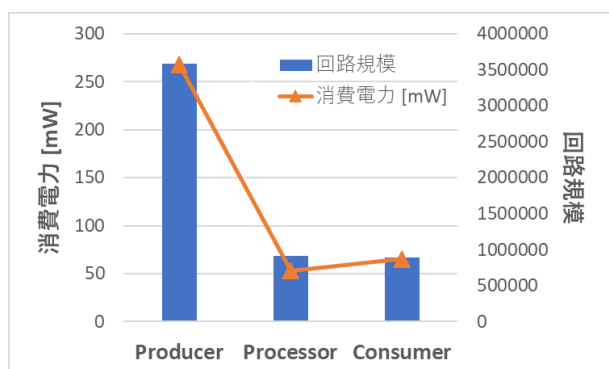


図 10 Synopsys Design Compiler による論理合成後の消費電力・面積の関係

Power Group	Total Power	( % )
io_pad	0.0000	( 0.00%)
memory	0.0000	( 0.00%)
black_box	0.0000	( 0.00%)
clock_network	263.9180	( 98.55%)
register	0.4625	( 0.17%)
sequential	0.0000	( 0.00%)
combinational	3.4229	( 1.28%)
Total	267.8034 mW	

図 11 Producer IP の消費電力レポート

## 6. まとめ

### 6.1. 結論

本研究では、FPGA を用いた 3 次元積層 LSI エミュレータを用いて、画像縮小システムの設計を行い、その性能及び消費電力に関する評価を行った。その結果、チップ間通信周波数が 30MHz 以降で縮小処理がボトルネックとなる様子が確認でき、エミュレータを用いたシステムレベルの機能検証および性能検証の有効性が示された。一方で、FPGA によるエミュレーションから得られた消費電力値から、実際に 3 次元積層 LSI を製造した際の正確な消費電力値を見積もることはできず、また、Design Compiler を用いたシミュレーションにおいても、FPGA 向けの設計データをそのまま用いるだけでは不十分であることが示された。

### 6.2. 今後の課題

今後の課題として、特定のベンダのツールや FPGA 固有のリソースに依存しないシステム設計フローおよび最適な消費電力の見積もり手法の確立することが求められる。

## 謝 辞

本研究は、内閣府地方大学・地域産業創生交付金「半導体産業の強化及びユーザー産業を含めた新たな産業エコシステムの形成」の助成を受けたものです。

また、本研究は、東京大学 d.lab における VDEC 活動を通して、日本ケイデンス・デザイン・システムズ社、日本シノプシス合同会社、シーメンス EDA ジャパン株式会社の協力で行われたものです。ここに深く感謝申し上げます。

## 文 献

- [1] Balbi, Martina, Lance Doherty, and Thomas Watteyne. "Embedded Artificial Intelligence for IoT Applications Using the MAX78000," in IEEE Access, vol. 13, pp. 38979-39005, 2025.
- [2] Mohamedyaseen, A., A. Vasantharaj, and E. Sathish Kumar. "VLSI design of low-power edge AI processors for IOT devices." ICTACT J. Microelectron 9, no. 3, pp. 1634-1639, 2023.
- [3] Tang, Jie, Shaoshan Liu, Liangkai Liu, Bo Yu, and Weisong Shi. "LoPECS: A Low-Power Edge Computing System for Real-Time Autonomous Driving Services," in IEEE Access, vol. 8, pp. 30467-30479, 2020.
- [4] 青柳昌宏, 居村史人, 加藤史樹, 菊地克弥, 渡辺直也, 鈴木基史, 仲川博 et al. "3 次元 IC 積層実装技術の実用化への取り組み—基盤技術から実用技術へどのようにしてステップアップするのか?—." Synthesiology 9, no. 1, pp. 1-14, 2016.
- [5] 青柳昌宏, and 菊地克弥. "3 次元 IC 積層実装技術によるロジック LSI の低消費電力化." エレクトロニクス実装学会誌 22, no. 5, pp. 374-379, 2019.
- [6] Zhao, Xueyan, Weiguo Li, Zhisheng Zeng, Zhipeng Huang, Biwei Xie, Xingquan Li, and Yungang Bao.

"Toward advancing 3D-ICs physical design: Challenges and opportunities." In Proceedings of the 30th Asia and South Pacific Design Automation Conference, pp. 294-301. 2025.

- [7] Takeshi Ohkawa, Masahiro Aoyagi "FPGA Emulation of Through-Silicon-Via (TSV) Dataflow Network for 3D Standard Chip Stacking System." IEEE Symposium in Low-Power and High-Speed Chips (Cool Chips) 2023.
- [8] AMD, Vitis Vision Library,  
<https://www.amd.com/en/products/software/adaptive-socs-and-fpgas/vitis/vitis-libraries/vitis-vision.html>,  
(最終参照日 : 2026 年 4 月 13 日) .
- [9] Melamed, Samson, Fumito Imura, Hiroshi Nakagawa, Katsuya Kikuchi, Michiya Hagimoto, Yukoh Matsumoto, and Masahiro Aoyagi. "Cool Interconnect: A 1024-bit Wide Bus for Chip-to-Chip Communications in 3-D Integrated Circuits." IEEE Transactions on Components, Packaging and Manufacturing Technology 9, no. 3, pp. 525-535, 2018.
- [10] Ehliar, Andreas, and Dake Liu. "An ASIC perspective on FPGA optimizations." In 2009 international conference on field programmable logic and applications, pp. 218-223. IEEE, 2009.