

TSV による垂直メモリバスを用いた RISC-V プロセッサの物理設計

仙石 崇大[†] 青柳 昌宏^{††} 大川 猛^{††}

[†]熊本大学大学院 自然科学教育部 〒860-8555 熊本県熊本市中央区黒髪 2 丁目 39-1

^{††}熊本大学 半導体・デジタル研究教育機構 〒860-8555 熊本市中央区黒髪 2 丁目 39-1

E-mail: [†]256d8836@st.kumamoto-u.ac.jp, ^{††}ohkawa-takeshi@kumamoto-u.ac.jp

あらまし 本研究は、TSV を用いた三次元積層における物理設計フローの確立と、実装データの評価を目的とする。三次元積層技術は高帯域・低消費電力な通信が期待できる一方、既存の二次元設計ツールでは層間接続や物理制約の管理が困難であるという課題がある。本稿では、同一プロセスのチップを積層する RISC-V プロセッサを提案し、用いた設計手順と、TSV マクロが配置配線および電力消費に与える影響を評価する。設計データに基づく解析から、IO バッファ排除による電力削減の有効性を示すとともに、配線障壁等の設計上のボトルネックを整理した。今後は実機検証を進め、レジスタ数削減等の回路最適化を組み合わせた、さらなる小面積・省電力な積層アーキテクチャの実現を目指す。

キーワード 三次元積層 LSI、TSV、RISC-V プロセッサ、チップ物理設計

1. はじめに

1.1. 研究背景

近年、IoT デバイスやエッジコンピューティングの普及に伴い、プロセッサにはより高度な計算処理能力が求められている[1]。特に画像処理等のアプリケーションをエッジ側で実行する場合、増大するデータ量に対応するため十分な容量のデータメモリ (SRAM) の搭載が不可欠となる[2]。

しかし、従来の二次元的なチップ設計においては、メモリ容量の増大がチップ面積の増大に直結するという課題がある[3]。メモリの面積占有率の増大はロジック回路との配線距離の延伸を招き、信号遅延や消費電力の増加に繋がることが懸念される[4][5]。

1.2. 研究目的

このような二次元設計における面積制約を打破する有効な手法として、TSV (シリコン貫通電極) を用いた三次元積層技術が挙げられる[6][7][8]。

本研究では、プロセッサ層とメモリ層を物理的に分離し、垂直メモリバスによって接続するメモリ分離型プロセッサを提案する。本研究の最終的な狙いは、ロジック回路には汎用プロセスを、大容量メモリには微細化プロセスを適用する異種プロセス統合にある[9]。

微細プロセスをメモリ層に適用することで、チップ全体のフットプリントを維持したままメモリ容量を大幅に拡張することが可能となると考える。また、TSV による積層構成は、外部メモリ拡張時に不可欠な IO バッファを介さず、内部配線に近い形態で最短距離接続を実現するため、低消費電力化と低遅延なメモリアクセスの両立に寄与すると考えられる[6]。

本稿ではその前段階として、既存の二次元物理設計

ツールを用いた同一プロセスによる三次元積層設計フローの確立、TSV がレイアウトに与える影響を確かめることを目的とする。具体的には、二次元実装に対する面積内訳の変化などを比較することで、TSV マクロの配置が配置配線に与える影響を評価する。

2. 設計および物理実装

2.1. poyo-v のアーキテクチャ

本研究では、RISC-V(RV32I) 命令セットアーキテクチャの poyo-v[10][11]を、TSV による垂直メモリバスの設計対象とした。本プロセッサは、2 段パイプライン構成を基本構造としている。poyo-v の内部構成を示すブロック図を以下の図 1 に示す。

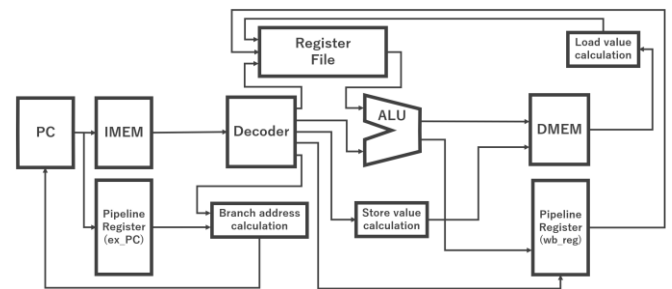


図 1 poyo-v のブロック図[10][11]

図 1 に示す通り、本プロセッサは命令フェッチおよびデコード、実行ユニットから構成され、メモリ (SRAM) との間でデータの授受を行う設計となっている。

アドレスバスは 4KB 構成時に 10 ビット、8KB 構成時には 11 ビット、データバス幅は 32 ビットである。また、バイト単位の書き込み制御を可能にする 4 ビットの WEM 信号に加え、WE、OE、ME、CLK といった

基本的な制御信号を備えている。本研究においては、CPUとメモリを積層することで、フットプリントを維持したままメモリ容量の拡大を目指すため、これらのアドレスバスとデータバスの各信号を、TSVを通じてチップ間で伝送し CPU とメモリの通信を行うことを狙う。

なお、三次元積層実装における信号伝送は、RISC-V プロセッサ層からメモリ層へ向かう信号(ADR, D, WE, CLK) と、メモリ層からプロセッサ層へ帰還する信号(Qのみ)に大別される。

本研究においては、TSVを駆動するドライバは通常のCMOSインバータを想定する。すなわちチップ内の通常のゲートと同様のものを用いる。また、TSVにつながれたその他のチップは、TSVの信号を受け取るレシーバを持つ。レシーバはTSV製造工程中のチャージアップによるダメージを低減するため、ESD(Electricstatic Discharge)保護素子を備えることとする(図2)。

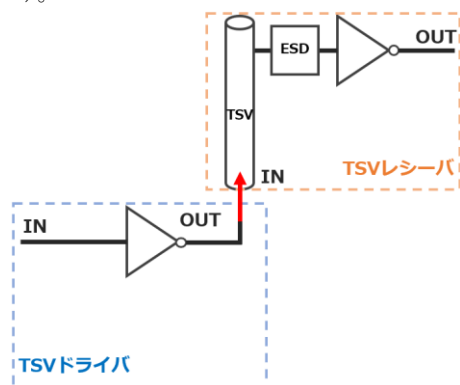


図2 TSV ドライバ、TSV レシーバの回路図

また、TSVは複数チップ積層の各チップにすべて接続することを想定する。1つのTSVには複数のチップが接続されるが、そのうち一つのチップのみがTSV信号を駆動する。

将来的には3ステートバッファ等を用いてTSVを駆動するチップを選択するシステムを設けることも可能であるが、本設計においては、各チップから見たTSVの信号の方向は、出力もしくは入力 whichever 一方を想定する。

2.2. 二次元実装によるシングルチップ設計

三次元積層化に向けたベースラインとして、まずロジックとメモリを同一チップ上に配置する二次元実装の物理設計を行った。本設計は、180nm CMOS プロセスを用い、2.5mm 角のチップサイズという制約下で実施した。この制約において、命令メモリ(IMEM)として4KB、データメモリ(DMEM)として8KBのSRAMを搭載した。

二次元実装版のレイアウト図を以下の図3に示す。

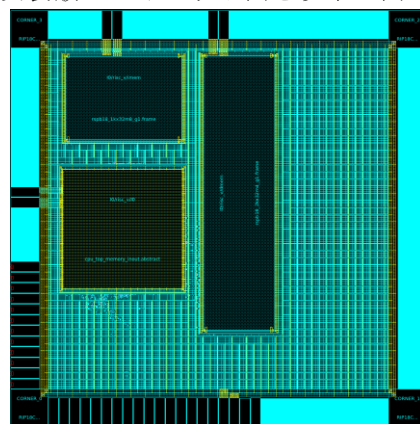


図3 二次元実装 RISC-V プロセッサのレイアウト

図3から明らかなように、2.5mm 角という限られた面積の中で、SRAMがチップ面積の大きな割合を占めている。また、メモリ配置に伴いロジック回路との配線距離が長くなり、これが設計上のボトルネックとなることを確認した。

2.3. TSVを用いた三次元実装設計

続いて、TSVを用いた三次元実装設計に取り組んだ。前節で記述した二次元実装においてDMEMは大きな面積を占有しており、これがチップ全体の面積圧迫を招く要因の一つとなっていた。三次元設計では、この面積占有率の高いDMEMを別層へと垂直方向に分離・配置し、CPUからアクセスできる構成としている。プロセッサ層とメモリ層を結合する三次元積層の構造概要について、以下の図3に示す。

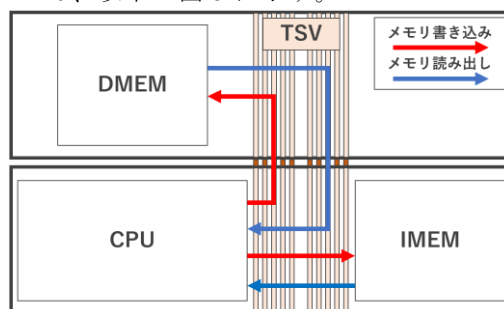


図3 TSVによる垂直メモリバスを用いた RISC-V プロセッサの構造概要

両層間の信号伝送にはTSVを用いた直接的な垂直接続を想定している。データ信号、アドレス信号、および書き込み有効信号等を含めて合計79本のTSVを使用する設計とした。これにより、従来のチップ外メモリ接続で必要であった高消費電力なIOバッファを介することなく、チップ内部配線に近い形態での接続が可能となる。このIOバッファの排除は、信号伝送時の遅延時間や電力消費の抑制に寄与することが期待され

る。

2.4. 物理設計手法とフロアプラン

本研究の物理設計には、Synopsys 社の Design Compiler および IC Compiler II (ICC2) を用いた。TSV については、Cadence 社の Virtuoso を用いて設計された物理レイアウトをマクロとしてインポートし、ICC2 上で配置を行う手法を採用した。本設計は、単一の設計データから成る 1 種類のチップを 2 枚用意し、それらを積層すること想定している。この同一チップ積層構成を採るため、1 枚のチップ内には、CPU および IMEM に加えて、二次元動作を担保するためのローカル DMEM、積層時に他層と通信するための TSV マクロ、および TSV を介してアクセスするための DMEM を統合して配置した。本試作チップのレイアウトを以下の図 4 に示す。

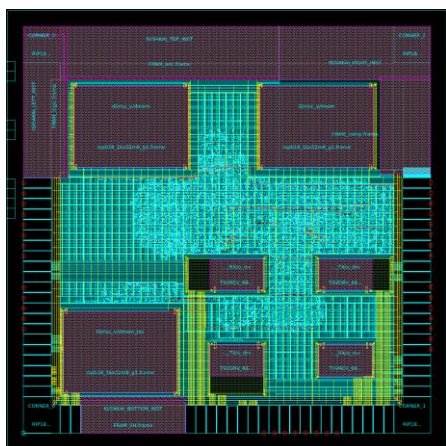


図 4 三次元実装チップのレイアウト

チップ内には計 4 つの TSV マクロ（ロジック層としての送信用および受信用、メモリ層としての送信用および受信用）を配置し、積層時に上下層の TSV が物理的に重なるよう座標を厳密に定義した。しかし、既存の二次元設計ツールである ICC2 上では、積層される他層とのネットリストを直接管理する機能が存在しない。このため、三次元接続におけるネットの連続性は、FPGA での動作検証をすることで担保している。また、TSV マクロ周辺では配線リソースが制限されるため、マクロ同士の間隔を設け、配線混雑の抑制を図った。

3. 設計

3.1. 三次元積層 LSI 設計フロー

本研究では、IC Compiler II (ICC2) を用い、二次元実装および三次元積層用チップのそれぞれについて物理設計を行った。その際、我々が行った設計フローについて記述する。

なお、今回の三次元積層設計においては、同一チッ

プ内への複数のアナログマクロの混載により、配置可能領域が限定される条件下での実装となった。

3.1.1. TSV マクロ作成

TSV マクロの作成手法について述べる。まず、Cadence Virtuoso 上で TSV アレイのレイアウトを作成し、接続パッド、バッファ、アライメント用の領域を 1 つのマクロとして定義した(図 5)。この TSV マクロは、Virtuoso から GDS および LEF として抽出し、Synopsys の Library Manager を用いて後段フローで再利用可能な NDM ライブラリに変換する。NDM ライブラリには、マクロの外形サイズ、ピン位置、ピン名といった情報が含まれており、これにより TSV マクロを標準セルや SRAM マクロと同様に、配置配線段階で固定配置できるブロックとして扱うことが可能になる。

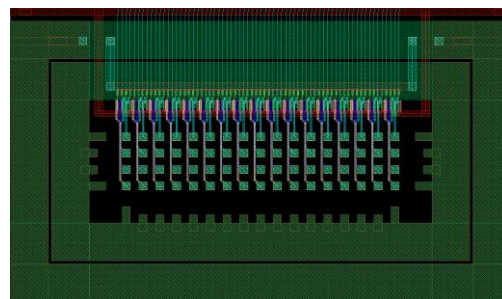


図 5 作成した TSV マクロ

3.1.2. RTL 設計

本研究における論理設計では、ベースとなる poyo-v の RTL に対し、三次元積層のための拡張を行った。まず、従来の FPGA 上での実機検証により、プロセッサとしての基本動作および周辺回路との通信が正しく行われることを確認する。その上で、物理設計ツールである IC Compiler 2 において TSV マクロを物理ブロックとしてインポートすることを目的とし、DMEM バス部分に送信側および受信側の TSV マクロをそれぞれインスタンス化した。この構成により、論理合成段階から TSV マクロへの接続関係を反映したネットリストの作成が可能となる。

また、本設計は同一チップ積層という構成のため、単一の RTL 内に送信 (TX) と受信 (RX) の両機能を持たせる設計を行っている。

3.1.3. FPGA による動作検証

物理実装に先立ち、拡張した RTL の論理的な正当性を確認するため、FPGA を用いた実機検証を行った。本検証では、本来は積層後にチップ間で伝送される信号パスを、RTL 上で模擬的な接続 (wire 定義) として記述することで、送信側 (TX) マクロから受信側 (RX)

マクロへ至る通信路を擬似的に構築した。この模擬接続により、プロセッサが TSV マクロを介して DMEM へ正しくアクセスでき、プログラムが意図通り実行されることを論理レベルで検証した。

この検証手法は、物理的な積層を待たずに三次元通信を考慮した論理検証を可能にする一方で、LSI 実装時にはこれら模擬的な接続記述を完全に削除する必要がある。

3.1.4. TSV マクロの配置と固定

論理合成を終えた後の ICC2 を用いた物理実装工程において、TSV マクロの配置は、スタンダードセルの自動配置に先立って行われるマクロ配置の段階で実施した（図 6）。TSV マクロは、SRAM マクロと同様に物理的なサイズが大きく、配線領域を占有するハードブロックとして扱われる。そのため、設計フローの初期段階においてこれらを最適な位置へ配置し、配置座標を固定することで、後段のスタンダードセルの配置および配線の最適化を図った。

特に本研究のような三次元積層設計においては、上下層のチップ間でのピン位置の整合性が極めて重要となる。そのため、TSV マクロの座標指定にあたっては、物理設計ツールが提供する最大精度を用いて座標数値を指定した。また、ツールによる自動最適化の過程でこれらのマクロが意図せず移動することを防ぐため、配置属性を Fixed に設定し、物理位置を完全に固定した。このような配置管理は、積層時の接続不良を未然に防ぐための重要な工程であると考ええる。

その後、電源レイアウトの設計、スタンダードセルの配置を行った。

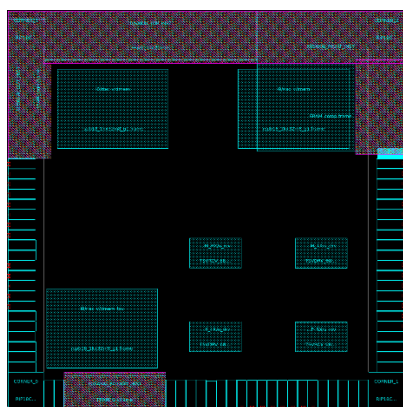


図 6 レイアウト上のマクロ配置

3.1.5. 配線工程

配置完了後に行われる配線工程において、TSV マクロは物理的な配線障壁として扱われる。本研究で使用した TSV マクロは、単体のサイズが $177.18\mu\text{m} \times 304.84\mu\text{m}$ であり、チップ内に合計 4 基配置されてい

る。これらのマクロ領域は、SRAM マクロと同様に内部の配線決定されており、スタンダードセル間の信号線がその直上を自由に通過することが禁止される。このため、配線工程では TSV マクロを回避する迂回配線が発生し、これが総配線長や配線混雑に影響を及ぼす可能性があると考ええる。チップ面積とコア面積の値を表 1 に示す。また、二次元実装、三次元実装それぞれにおける面積組成の比較を行うため、二次元実装および三次元積層用チップの面積内訳をそれぞれ表 2 および表 3 に示す。

表 1 チップ面積概要

項目	値[μm^2]
チップ面積	5,475,600
コア面積 (配置可能面積)	3,669,830

二次元実装では、配置可能面積に対して SRAM が占める割合が約 25%程度であり、配線リソースに余裕が確認できる。

表 2 二次元実装時の面積内訳

項目	面積[μm^2]	割合[%]
Std Cell	249,165	6.8
SRAM	922,386	25.1
その他 (フィラーなど)	2,498,279	68.1
合計 (コア)	3,669,830	100.0

一方、三次元積層用チップでは、追加された TSV マクロが配置可能面積の約 6%を占有している。さらに、本試作チップには他研究のアナログ回路マクロも混載されており、実質的なロジック配置配線領域が 31.3%と限定されている。このような実装条件下では、TSV マクロという配線障壁を考慮しつつ、限られた領域で配線リソースを確保することが物理設計上の焦点となった。

表 3 TSV 垂直メモリバス実装時の面積内訳

項目	面積[μm^2]	割合[%]
Std Cell	266,586	7.3
SRAM	915,750	25.0
TSV マクロ	216,924	5.9
Analog マクロ	1,385,375	37.8
その他 (フィラー等)	885,195	24.1
合計 (コア)	3,669,830	100.0

3.2. 二次元ツールにおける三次元設計の課題

本研究の物理実装では、二次元実装向けの配置配線

ツールである IC Compiler II を使用しており、三次元特有の構造を管理する上でいくつかの課題に直面した。

まず、最も大きな課題は層間接続の検証機能の欠如である。FPGA による動作検証では模擬的な接続 (wire 定義) によって論理的な正当性を確認したが、LSI 設計ツール上では異なるダイ間を跨ぐネットを単一のシステムとして認識できない。そのため、積層時の接続整合性を自動的に検証する機能がツール内に統合されていることが、設計ミス未然に防ぐために重要であると感じた。

次に、多層階層にまたがるシミュレーションおよびタイミング解析の困難さが挙げられる。現状の二次元設計フローでは、各層のタイミングを独立して解析せざるを得ず、TSV を介した信号伝搬遅延や寄生容量の影響を考慮したタイミング解析をツール上で行うことができない。これにより、層間を跨ぐクリティカルパスの特定やタイミング収束の精度に不確実性が生じる。

これらの課題を根本的に解決するためには、複数ダイを一つの統合されたシステムとして扱う三次元設計専用ツールの導入が望ましい。専用ツールによって、積層状態での LVS やタイミング解析などがシームレスに行える環境が整うことで、三次元積層プロセッサの設計効率と信頼性は向上すると考えられる。

4. 考察および検討

4.1. 物理設計を通じた設計上の知見

本研究における二次元および三次元実装の物理設計プロセスを通じて、三次元積層特有の設計上の課題と利点に関する知見が得られた。

4.1.1. TSV マクロの占有面積

本設計において、計 4 つの TSV マクロが占める面積は配置可能面積全体の約 6%(表 3)に達した。これは、異種プロセス統合等によってメモリを別層へ移行してロジック層の面積を削減しようとする際、TSV マクロ自体の面積がトレードオフとして作用することを示唆している。したがって、積層による面積削減効果を最大化するためには、信号数に応じた最適な TSV マクロのサイズ選定が不可欠であると考えられる。

4.1.2. TSV マクロの物理配線への影響

TSV マクロは SRAM 等のハードマクロと同様に強力な配線障壁として機能することが分かった。TSV マクロ直上の配線層が利用できない制約は、高密度な配置条件下において配線混雑を引き起こす。本設計では、TSV マクロ周辺に間隔を設けることで混雑の緩和を図ったが、より大規模な回路を積層する場合には、TSV マクロの配置座標が総配線長やタイミング収束に与え

る影響を精緻に見積もる必要があると考えられる。

4.1.3. TSV による消費電力への影響

二次元実装の仕様ピン数が約 40 ピンであったのに対し、三次元実装チップではアナログ用ピン等を含め 120 ピン以上を使用しており、電力見積りにおいて IO パッドの消費電力に約 3 倍の差が生じた(表 4、表 5)。IO パッドの電力消費はメモリやクロックと並んでチップ全体の電力構成の大きな割合を占めるため、TSV を介して IO バッファを回避するチップ間接続は、消費電力削減のための有効な手段になると考えられる。

表 4 二次元実装チップの消費電力見積り

項目	電力[mW]	割合[%]
Memory	14.600	57.7
Clock_network	7.630	30.1
IO_pad	3.000	11.9
Combinational	0.047	0.2
Register	0.021	0.1
合計	25.298	100.0

表 5 三次元実装チップの消費電力見積り

項目	電力[mW]	割合[%]
IO_pad	23.500	47.6
Memory	16.400	33.3
Clock_network	9.310	18.9
Combinational	0.091	0.2
Register	0.025	0.1
合計	49.326	100.0

4.2. チップ分割案の検討

三次元積層による性能向上を最大化するためには、どの単位で回路を分割し、各層に何を配置するかという分割案の検討が不可欠であると考ええる。以下の 3 つの分割案について比較・考察を行う。

4.2.1. RISC-V プロセッサ内部の分離

RISC-V プロセッサ内部の ALU やレジスタファイル等の機能ユニット単位で各層に分散配置する手法が挙げられる。この手法は理論上、層間の垂直距離を利用した配線最短化が期待できる。しかし、TSV 間を跨ぐ信号数と、通信頻度が膨大となるため、TSV の配置密度が高まり、結果として他の配線経路を阻害する配線障壁としての負の影響が大きくなってしまっているのではないかと考察する。また、大量の TSV を中央に集約させれば配線が逆に延伸し、分散させればロジック配置を圧迫するため、コストに対する性能向上幅は限定的で

あると考えられる。

4.2.2. プロセッサ層とメモリ層の分離

第3章の電力見積り(表4、表5)から明らかなように、IOパッドの電力消費は極めて大きく、これを排除できるTSV接続の利点は大きい。さらに、TSVの本数を拡張してメモリバス幅を広げることで、少クロックサイクルでの大量データ転送が可能となる[1]。ただし、バス幅の拡張はTSVマクロの面積増大と配線リソースの逼迫を招くため、転送効率と物理的制約のトレードオフを最適化する設計が求められると考察する。

4.2.3. ハードウェアアクセラレータの積層

特定の演算を担うハードウェアアクセラレータを別層に積層する手法も三次元積層を活かす手法の1つと考えられる。アクセラレータはプロセッサとの間で高頻度かつ広帯域なデータ交換を必要とするため、IOパッドを介さないTSV接続の親和性が高い。また、層ごとに電源ドメインを完全に分離することで、アクセラレータの非使用時に層単位でパワーゲーティングを行うなど、より高度な低消費電力化戦略の展開が可能になると考えられる。

5. おわりに

本研究では、RISC-Vプロセッサであるpoyo-vとSRAMを対象として同一プロセスのチップを積層する構造を提案し、IC Compiler IIを用いた設計において、TSVマクロが配置配線などに与える影響を確認した。

物理設計データに基づく解析の結果、TSVマクロが配置可能面積の約6%を占有し、配線障壁として機能するという制約が明らかになった一方で、IOパッドを介さない接続が通信電力の削減に寄与する可能性が示された。

今後は、試作チップの実機測定を行うとともに、以下の展望に基づき本設計フローを発展させる。

第一に、poyo-vの小規模な回路特性を活かし、ロジック層とメモリ層の異種プロセス積層モデルの構築を引き続き目指していきたい。これにより、エッジデバイスにおいて十分な数MB規模のメモリ容量を、限られたフットプリントで実現することを目指す。

第二にTSVによる消費電力削減に留まらず、poyo-vのレジスタ数の削減をはじめとしたアーキテクチャの最適化を行い、エッジデバイスに特化したさらなる小面積・省電力回路をしていきたいと考えている。

謝 辞

本研究は、内閣府地方大学・地域産業創生交付金「半導体産業の強化及びユーザー産業を含めた新たな

産業エコシステムの形成」の助成を受けたものです。また本研究は、東京大学 d.lab における VDEC 活動を通して、日本ケイデンス・デザイン・システムズ社、日本シノプシス合同会社、シーメンス EDA ジャパン株式会社の協力で行われたものです。ここに深く感謝申し上げます。

文 献

[1] Z. Zou, Y. Jin, P. Nevalainen, Y. Huan, J. Heikkonen, and T. Westerlund, "Edge and Fog Computing Enabled AI for IoT: An Overview," Proc. IEEE Int. Conf. on Artificial Intelligence Circuits and Systems (AICAS), 2019.

[2] S. A. Magid, F. Petrini, and B. Dezfouli, "Image classification on IoT edge devices: profiling and modeling," *Cluster Computing*, vol.23, no.2, pp.1025-1043, 2020.

[3] S. N. Panda, S. Padhi, V. Phanindra, U. Nanda, S. K. Pattanaik, and D. Nayak, "Design and Implementation of SRAM Macro Unit," Proc. Int. Conf. on Trends in Electronics and Informatics (ICEI), 2017.

[4] A. Teman, D. Rossi, P. Meinerzhagen, L. Benini, and A. Burg, "Power, Area, and Performance Optimization of Standard Cell Memory Arrays Through Controlled Placement," *ACM Trans. Design Automation of Electronic Systems*, vol.21, no.4, Article 59, May 2016.

[5] B. Lee and T. Kim, "Algorithms for TSV resource sharing and optimization in designing 3D stacked ICs," *Integration*, vol.47, no.2, pp.184-194, March 2014.

[6] 青柳昌宏, 菊地克弥, "3次元IC積層実装技術によるロジックLSIの低消費電力化," *エレクトロニクス実装学会誌*, vol.22, no.5, 2019.

[7] S. Nemoto, Y. Y. Lim, H. Nakagawa, K. Kikuchi, and M. Aoyagi, "Fine cone-shaped bumps for three-dimensional LSI package—An optimization of thermocompression bonding process," *Sensors and Materials*, vol.30, no.12, pp.2905-2917, 2018.

[8] 福島誉史, 田中徹, 小柳光正, "三次元積層型チップのためのSi貫通ビア(TSV)形成技術," *エレクトロニクス実装学会誌*, vol.12, no.2, 2009.

[9] V. Saripalli, G. Sun, A. Mishra, Y. Xie, S. Datta, and V. Narayanan, "Exploiting heterogeneity for energy efficiency in chip multiprocessors," *IEEE J. Emerging and Selected Topics in Circuits and Systems*, vol.1, no.2, June 2011.

[10] 角元淳一郎: "RISC-V マイコンコンピュータ," *トランジスタ技術* 2019年12月号, CQ出版株式会社, pp.136-162, 2019

[11] <https://github.com/kadomoto/poyo-v>