

レジスタ転送レベルにおける識別可能故障ペア推定数向上のための制御ポイント挿入手法

YUN YEONGKYEONG^{†1} 細川 利典^{†2} 吉村 正義^{†3} 山崎 浩二^{†4} 新井 雅之^{†2}

^{†1} 日本大学大学院 生産工学研究科 〒275-8575 千葉県習志野市泉町 1-2-1

^{†2} 日本大学 生産工学部 〒275-8575 千葉県習志野市泉町 1-2-1

^{†3} 京都産業大学 情報理工学部 〒603-8555 京都府京都市北区上賀茂本山

^{†4} 明治大学 情報コミュニケーション学部 〒101-8301 東京都千代田区神田駿河台 1-1

E-mail: ^{†1} ciyo25014@g.nihon-u.ac.jp, ^{†2} {[hosokawa.toshinori](mailto:hosokawa.toshinori@nihon-u.ac.jp), [arai.masayuki](mailto:arai.masayuki@nihon-u.ac.jp)} @nihon-u.ac.jp,

^{†3} yoshimura.masayoshi@cc.kyoto-su.ac.jp, ^{†4} yamaz@meiji.ac.jp

あらまし VLSI の故障診断において、診断分解能を向上させるために、レジスタ転送レベルにおける診断容易化設計手法が提案されている。レジスタ転送レベルでは、1 つ以上の状態遷移においてデータパス中の各ハードウェア要素ペアが識別可能であることが、診断分解能の向上に重要であると考えられている。レジスタ転送レベルにおける構造的記号シミュレーションで得られた情報を用いて識別可能な故障ペア推定数の最大化を指向して各状態遷移における制御信号のドントケアに論理値を割当てる手法が提案されている。テストされる全状態遷移において、その観測点集合が同一であるような識別不能なハードウェア要素ペアが存在する。その識別不能なハードウェア要素ペアの存在が、識別可能故障ペア数の増加を妨げている。本論文では、識別可能故障ペア推定数を増加させるために、入力数が 2 のべき乗でないマルチプレクサに着目した制御ポイント挿入手法を提案する。

キーワード 故障診断, レジスタ転送レベル, 診断容易化設計, 制御ポイント, 識別可能故障ペア推定数

A Control Point Insertion Method to Increase the Estimated Number of Distinguishable Fault Pairs at Register Transfer Level

Yeongkyeong YUN^{†1} Toshinori HOSOKAWA^{†2} Masayoshi YOSHIMURA^{†3} Koji YAMAZAKI^{†4}
and Masayuki ARAI^{†2}

^{†1} Graduate School of Industrial Technology Nihon University 1-2-1 Izumityo, Narashino-shi, Chiba, 275-8575 Japan

^{†2} College of Industrial Technology Nihon University 1-2-1 Izumityo, Narashino-shi, Chiba, 275-8575 Japan

^{†3} Faculty of Information Science and Engineering Kyoto Sangyo University Kamigamo Motoyama, Kita-ku, Kyoto-shi, 603-8555 Japan

^{†4} School of Information and Communication, Meiji University 1-1 Surugadai Kanda, Chiyoda-ku, Tokyo, 101-8301 Japan

E-mail: ^{†1} ciyo25014@g.nihon-u.ac.jp, ^{†2} {[hosokawa.toshinori](mailto:hosokawa.toshinori@nihon-u.ac.jp), [arai.masayuki](mailto:arai.masayuki@nihon-u.ac.jp)} @nihon-u.ac.jp,

^{†3} yoshimura.masayoshi@cc.kyoto-su.ac.jp, ^{†4} yamaz@meiji.ac.jp

Abstract In fault diagnosis for VLSIs, design-for-diagnosability methods at register transfer level have been proposed to improve diagnostic resolution. At register transfer level, it is considered important for improving diagnostic resolution that each hardware element pair in data-paths is distinguishable on one or more state transitions. The method that aims to maximize the estimated number of distinguishable fault pairs by assigning logical values to the don't care of control signals on each state transition using information obtained from structural symbolic simulation at register transfer level was proposed. On all state transitions that a hardware element pair is tested, there exist undistinguishable hardware element pairs whose set of observation points is identical. The existence of these undistinguishable hardware element pairs hinders the increase in the number of distinguishable fault pairs. This paper proposes a control point insertion method that focuses on multiplexers with inputs that are

not powers of two in order to increase the estimated number of distinguishable fault pairs.

Keywords fault diagnosis, register transfer level, design-for-diagnosability, control points, Estimated number of distinguishable fault pairs

1. まえがき

近年、半導体微細化技術の進歩に伴い、超大規模集積回路(Very Large Scale Integrated circuits : VLSI)において、異常動作の物理的な原因を特定する故障解析は、歩留まり向上のために重要であるが、故障解析多大なコストを要するため、故障 VLSI に存在する可能性のある故障(被疑故障)の数を事前に絞り込んでおくことが重要である。故障診断[1]は、故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する。このとき、VLSI テストにおいて用いたテスト集合が多数故障ペアを識別できるほど、被疑故障数を削減することができ、故障診断における診断分解能が向上する[2]。これまでに、縮退故障やブリッジ故障などの特定の故障モデルに対応した故障診断手法[3-7]および故障モデルに依存しない手法 [8-9]が提案されている。また、ゲートレベルやレイアウトレベルにおける観測ポイント挿入などの診断分解能向上を考慮した設計手法が提案されており、被疑故障数が削減できることが報告されている[10-11]。しかしながら、ゲートレベルやレイアウトレベルの回路は回路を構成する部品数が非常に多く、高速に効果的な個所に観測ポイントを挿入することが困難である。さらに、挿入された観測ポイントによる面積オーバーヘッドの増大や論理合成で行ったタイミングの最適性を損失するなどの課題が挙げられる。その課題を解決するために、ゲートレベルやレイアウトレベルと比較して抽象度の高いレジスタ転送レベル(Register Transfer Level : RTL)における診断容易化設計手法が提案されている[10-15]。文献[16]では構造的記号シミュレーション[17]で得られた情報を用いて、全状態遷移を通して識別可能な故障ペア推定数の最大化を指向して各状態遷移における制御信号のドントケア(Don't care : X)に論理値を割当ててる手法が提案されている。しかしながら、全状態遷移においてテストされる観測点集合が同じであるために識別することができないハードウェア要素ペアが存在する。また、そのハードウェア要素ペアが識別可能故障ペア推定数の増加を妨げている。

一般的に、RTL で入力信号線数が 2 のべき乗でないマルチプレクサの制御信号値には選択すべき入力信号線が RTL の段階で決定されていないものが存在するため、設計の自由度が存在する。それゆえ、本手法では識別可能ハードウェア要素ペア数の増加を目的として、RTL で記述されていないマルチプレクサの制御信

号値に対し、RTL データパス中の信号線から分岐させた新たな入力信号線をマルチプレクサの入力に接続し、マルチプレクサの入力数を 2 のべき乗に拡張するような制御ポイント挿入手法を提案する。

本論文の構成は以下のとおりである。第 2 章では本論文における用語や前提知識について説明する。第 3 章では提案手法について説明する。第 4 章では実験結果を示し、第 5 章ではまとめについて述べる。

2. 前提知識

本章では、本論文で取り扱う用語や前提知識について述べる。

2.1. RTL 回路

本論文で対象としている RTL 回路は演算を実行するデータパスとデータパスの制御を行うコントローラに分割して設計されており、状態信号線と制御信号線で相互に接続されている。また、フルスキャン設計を前提とする。

2.2. デフォルト制御信号値

入力信号線数が 2 のべき乗でないマルチプレクサの制御信号値には、対応する入力信号線が RTL の段階で決定されていないものが存在する。そのような制御信号値をデフォルト制御信号値と定義する。また、本論文では、面積増加を抑制するために、そのようなマルチプレクサを制御ポイント挿入の対象とする。

2.3. ハードウェア要素

本論文では、データパス中の信号線、制御信号線の故障をハードウェア要素と定義する。また、ハードウェア要素のテストは状態遷移の時に行われる。

2.4. 構造的記号シミュレーション

構造的記号シミュレーション[17]とは、RTL データパスの信号線のテスト可能性を解析する手法であり、各状態遷移でテスト可能な信号線の列挙が可能である。ある状態遷移の制御信号値によって、外部入力やレジスタから制御可能な信号線に C シンボル[17]、観測点で観測可能な信号線に O シンボル[17]を割当て、C シンボルと O シンボルが割当てられた信号線をテスト可能な信号線という。

2.5. ハードウェア要素ペアの識別

本論文では、ハードウェア要素ペアを以下の 4 つのタイプに分類する。

- Type 1 (識別可能) : 少なくとも 1 つの状態遷

移で h_i, h_j はともにテスト可能で、 $Obs(h_i) \neq Obs(h_j)$ である。

- Type 2 (識別可能): type1 以外で、少なくとも 1 つの状態遷移で、一方のみテスト可能、もう一方はテスト不能である。
- Type 3 (識別不能): type1, 2 以外で、少なくとも 1 つの状態遷移で、 h_i, h_j はともにテスト可能で、 $Obs(h_i) = Obs(h_j)$ である。
- Type 4 (識別不能): 全状態遷移において h_i, h_j はともにテスト不能である。

本論文では、2 つのハードウェア要素 h_i, h_j の識別可能性は、テスト可能・不可能および観測点集合が異なるかどうかで判定する。 $Obs(h)$ は故障 h の観測点集合である。

2.6. 識別可能故障ペア推定数

識別可能故障ペア推定数[16]とは、対象 RTL 回路に対する構造的記号シミュレーション[17]の結果を用いて計算され、ゲートレベル回路において識別可能となる可能性のある故障ペア数を RTL の段階で推定した推定値である。また、使用するハードウェア要素には対応するゲートレベルの故障数を重みとして付与している。文献[16]によって Type1, Type2 ペアに対応するゲートレベルの故障ペアは 100%識別可能である。また、Type4 ペアはゲートレベルで一切識別されないが、Type3 ペアはゲートレベルにおいて平均で 95%識別可能であることがわかっている。さらに、この値は、実際のゲートレベル回路における分解能と高い相関関係にあることが文献[16]によって示されており、高い推定数の割合は分解能が高いことを表している。よって、本論文では type3 のペアに着目して type1 または type2 に変化させるような制御ポイント挿入を行う。

3. Type3 ペアに基づく診断容易化設計手法

本章では、Type3 ペアに基づく診断容易化設計手法について説明する。

3.1. 制御ポイント挿入における制約

本節では、診断容易化設計において、マルチプレクサのデフォルト入力に接続される信号線として選択されるデータパス中の信号線候補について説明する。選択された信号線は分岐後、入力数が 2 のべき乗でない対象マルチプレクサのデフォルト入力に接続される。また、信号線候補は以下の 3 つの条件をすべて満たすものとする。

- 条件 1: 候補の種類
候補として選択可能な信号線は、モジュールの出力ポート、外部入力の出力ポート、マルチプレクサの入力ポートに接続されている信号線である。

- 条件 2: 自己ループの禁止
候補として選択された信号線は制御ポイント挿入対象マルチプレクサのデフォルト入力に接続後も回路内で自己ループを形成しない。すなわち、対象マルチプレクサから出力方向に到達可能な経路上の信号線を選択しない。
- 条件 3: 対象マルチプレクサの既存入力信号線の除外
既に対象マルチプレクサの入力である信号線は、既存のデータパスの構成と同じであると考え、そのマルチプレクサのデフォルト入力に接続しない。

3.2. 制御ポイント挿入例

本節では、図 1 に示したデータパスを例に、制御ポイント挿入について説明する。図 1(a)において、a, b, d, e は外部入力、g は外部出力、R0, R1, R2, R3 はレジスタ、ADD0, ADD1 は加算器、MUX1, MUX2 はマルチプレクサである。さらに、m1, m2 はそれぞれ MUX1 および MUX2 の制御信号線を表す。なお、マルチプレクサの入力信号線の下に数字は、その入力信号線を選択する制御信号値を表しており、制御信号線に対応する値が入力されると、その入力信号線が選択される。また、赤色の点線丸で示した MUX2 の制御信号値 10 に対応する信号線と R3 の出力信号線は、全状態遷移において観測点集合がいずれも {R0} であるため、Type3 の識別不能ハードウェア要素ペアである。

図 1(a)の例において、対象マルチプレクサは MUX2 である。MUX2 の入力信号線数は 3 であり、制御信号 m2 は 2 ビットで表現可能な 00, 01, 10, 11 の 4 値のうち、00, 01, 10 の 3 つが使用されている。したがって、デフォルト制御信号値は 11 である。また、デフォルト制御信号値に対する入力信号線を決定した例を図 1(b)に示す。図 1(b)は、図 1(a)のデータパスから R3 の出力信号線を分岐させ、MUX2 のデフォルト入力に接続した例である。この制御ポイント挿入により、ある状態遷移の時、制御信号 m2 の時を 11 と設計し、MUX2 は新たにデフォルト入力に接続された R3 の出力信号

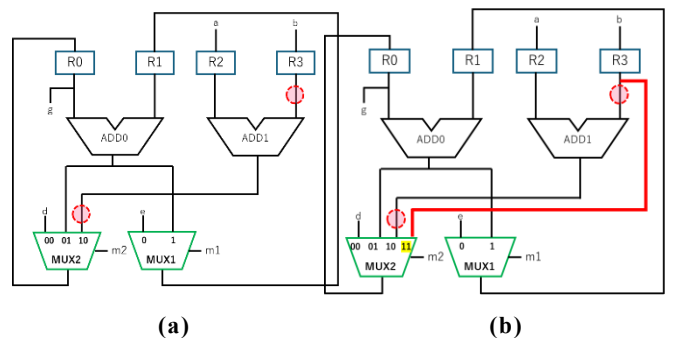


図 1. 制御ポイント挿入例

線を選択して、その信号線の値を出力する。その結果、その状態遷移の R3 の出力信号線の観測点集合は {R0} となる。一方、制御信号値 10 に対応する信号線は選択されないの、いずれの観測点でも観測できない。したがって、もとの Type3 ペアであった R3 の出力信号線と MUX2 の 10 入力信号線のハードウェア要素ペアは、Type2 ペアへ変化する。その結果、RTL において識別可能となり、識別可能故障数が増加する。

3.3. 診断容易化設計組合せの生成

本節では、Type3 ペアに基づいて候補信号線を抽出し、抽出された候補信号線を制御ポイント挿入対象マルチプレクサの入力に接続する組合せを生成する方法について説明する。

まず、文献[16]の診断容易化のための X 割当てを適用したコントローラを用いた構造的記号シミュレーションの結果から Type3 ペアを抽出する。故障ペア数が大きい Type3 ペアほど、それらが制御ポイント挿入により識別可能となることで回路全体の識別可能故障ペア推定数および識別可能率の向上に寄与する可能性が高いと考えられる。よって、抽出された Type3 ペアを故障ペア数の降順に並べ、その値が大きい Type3 ペアから優先的に候補信号線の抽出対象とする。本論文では、その対象範囲を上位 K 個に制限する。

次に、選択された各 Type3 ペアから候補信号線を 1 本抽出する。各ペアからの信号線選択では、入力側の信号線を優先する。入出力関係は、一方の信号線が接続しているポートから他方の信号線が接続しているポートへ到達可能かどうかに基づいて判定する。なお、同一の信号線が複数の Type3 ペアに属する場合には、候補信号線としてその信号線が属するペアを 1 つのみに限定する。

以上の手順で抽出された候補信号線を、対象マルチプレクサのデフォルト制御信号値に対応する入力ポートに割当てての組合せを列挙する。式(1)にその組合せ数を示す。

$$\prod_{i=1}^{N_{mux}} \binom{N_c - Num_used_cp(i)}{d_i} \quad (1)$$

$$um_used_cp(i) = \begin{cases} 0 & (i = 1) \\ \sum_{j=1}^{i-1} d_j & (i > 1) \end{cases} \quad (2)$$

N_{mux} は対象マルチプレク数、 N_c は候補信号線数、 d_i は i 番目の対象マルチプレクが持つデフォルト制御信号値の数を表す。また、 $Num_used_cp(i)$ は i 番目の対象マルチプレクへの割当て時に、すでに使用済みの候補信号線数を表し、その定義を(2)に示す。 $i = 1$ のとき

$Num_used_cp(i) = 0$ であり、 $i > 1$ のときはそれ以前の対象マルチプレクに割当てた候補信号線数の総和となる。式(1)は、候補信号線を重複なく割り当てての場合の組合せ数を表す。

3.4. 制御ポイント挿入候補組合せ評価と選択

本節では、生成された制御ポイント挿入(CPI)候補組合せの評価と選択について説明する。生成された各 CPI 候補組合せは、その組合せに含まれる各対象マルチプレクにおいて、そのマルチプレクの出力信号線とマルチプレクに割当てて候補信号線とのテスト可能性差異数に基づいて評価する。

表 1 にテスト可能性差異数の計算例を示す。テスト可能性差異数とは、対象マルチプレクの出力信号線と候補信号線それぞれに対して、構造的記号シミュレーションにより得られるテスト可能性を、全状態遷移および全観測点にわたって比較し、テスト可能性が異なる数として定義する。表 1 の例において、状態遷移は ST1, ST2 の 2 つ、観測点は REG0, REG1, u1 の 3 つある。3 列目の MUX の出力は、対象マルチプレクの出力信号線のテスト可能情報を、4 列目の候補信号線は、対象マルチプレクに割当てて候補信号線のテスト可能情報を表す。この値が 1 ならテスト可能、0 ならテスト不能を表す。5 列目の差異(0/1)は、MUX の出力と候補信号線の値が異なる場合に 1、一致する場合に 0 を表す。また、この値が大きいほど、MUX の出力と候補信号線との観測点集合の差異が大きくなり、制御ポイント挿入により識別可能となる可能性が高いことが期待できる。

各 CPI 候補組合せでは、各対象マルチプレクに割当てて候補信号線ごとにテスト可能性差異数を算出し、同一マルチプレクに属するそれらの総和を評価に用いる。本論文では、それらのテスト可能性差異数に対して、最小値、第 2 最小値、および総和を計算し、CPI 候補組合せの評価に用いており、以下の基準に従って評価して選択する。

- i) 各対象マルチプレクのテスト可能性差異数のうち、最小値が大きい組合せを優先する。
- ii) i) の最小値が同じ場合には、第 2 最小値が大きい組合せを優先する。
- iii) ii) の第 2 最小値も同じ場合には、総和が大きい組合せを優先する。

表 2 に CPI 候補組合せ評価の例を示す。CPI 候補組合せは、COMB1, COMB2, COMB3 の 3 つ、候補信号線は、a, b, c の 3 つ、対象マルチプレクは MUX1, MUX2, MUX3 の 3 つである。また、各セルの括弧内の数字は、割当てられる候補信号線と対象マルチプレクとのテスト可能性差異数を表す。例えば、COMB1 の MUX1 列の a(2)は、候補信号線 a と MUX1

表 1. テスト可能性差異数の計算例

状態遷移	観測点	MUXの出力	候補信号線	差異(0/1)
ST1	REG0	1	1	0
ST1	REG1	0	1	1
ST1	u1	1	0	1
ST2	REG0	0	0	0
ST2	REG1	1	1	0
ST2	u1	0	1	1
不一致数合計				3

とのテスト可能性差異数が 2 であることを示す．表 2 の例において，まず最小値を比較すると，COMB2 と COMB3 がともに 5 であり，COMB1 の最小値は 2 であるため，基準 i) により，COMB1 が優先順位 3 位となる．次に，COMB2 と COMB3 の第 2 最小値を比較すると，COMB3 が 6，COMB2 が 5 であるため，基準 ii) により COMB3 が優先順位 1 位，COMB2 が 2 位となる．これにより，一部のマルチプレクのみが高い評価となる偏った組合せではなく，全対象マルチプレクにおいて識別可能となる可能性が高い組合せを優先的に選択できる．また，CPI 候補組合せ数が多い場合には，上記の評価に基づいて上位 L 個の組合せを選択する．一方，組合せ数が L 以下の場合には，全組合せを評価対象とする．また， L は事前に設定するパラメータであり，選択された各 CPI 組合せに対して仮に制御ポイント挿入を行い，識別可能故障ペア推定数および識別可能率を算出し，識別可能率が最大になる CPI 候補組合せを最終的な CPI 組合せよして選択する．

4. 制御ポイント挿入アルゴリズム

図 2 に提案手法のアルゴリズムを示す．入力は，RTL モジュールリスト M ，データパス D ，コントローラ C_fsm ，パラメータ K 、 L である．出力は，選択された CPI 組合せ $SELECTED_CPI_COMB$ である．また， TM はデフォルト制御信号値を持つ対象マルチプレク集合， C は対象マルチプレクに接続する候補信号線集合， P は抽出された Type3 ペア集合， T は P を識別可能故障ペア推定数を降順にソートしたときの上位 K 個の Type3 ペアからなる集合， $COMB$ は候補信号線を対象マルチプレクへ割当てて組合せ集合を表す．

まず，デフォルト制御信号値を持つ MUX から対象 MUX 集合 TM を抽出する（5 行目）．次に，構造的記号シミュレーションを実行し，各ハードウェア要素に対する全状態遷移および全観測点におけるテスト可能性情報 obs_matrix を取得する（6 行目）．その後，Type3 ペアを抽出し（7 行目），識別可能故障ペア推定数の降順にソートする（8 行目）．さらに，ソート後の Type3 ペア集合から上位 K 個を選択し，候補信号線抽出の対象とする（9 行目）．次に，選択された各 Type3 ペアに対して，入力側の信号線を候補信号線として 1 本選択し（10～11 行目），候補信号線集合 C を作成する（12 行

表 2. CPI 候補組合せの評価例

組合せ	MUX1	MUX2	MUX3	最小値	第2最小値	総和	優先順位
COMB 1	a(2)	b(8)	c(9)	2	8	19	3位
COMB 2	b(5)	c(5)	a(6)	5	5	16	2位
COMB 3	c(5)	a(6)	b(7)	5	6	18	1位

目）．その後，候補信号線集合 C を対象 MUX 集合 TM に割当てて組合せ集合 $COMB$ を生成する（14 行目）．各組合せに対しては，対象 MUX の出力信号線と割当てられた候補信号線とのテスト可能性差異数に基づいて評価し，優先順位を決定する（15～17 行目）．最後に，優先順位の高い順に上位 L 個の組合せを選択し， $SELECTED_COMB$ を出力する（18 行目）．

5. 実験結果

本論文では，提案した制御ポイント挿入手法について RTL における識別可能故障ペア推定数[16]および識別可能率[16]を評価した．識別可能率は，識別可能故障ペア推定数を全ハードウェア要素ペアにおける故障ペア数の積の合計で割ることにより算出される．提案手法は C 言語で実装し，RTL ベンチマーク回路[18]のうち ex2, Kim, Maha 回路を対象に実験を行った．また，評価対象として従来手法[16]の X 割当て手法を比較対象とした．

まず，提案手法のパラメータ K 及び L が結果に与える影響を調べるため，回路規模が比較的小さい ex2, Kim 回路を用いて予備実験を行った．その結果を表 3 に示す．表 3 において， K は Type3 ペアのうち故障ペア数の上位 K 個を候補信号線抽出の対象とするパラメータを表し， L は生成した CPI 候補組合せのうち優先順位の高い上位 L 個を選択するパラメータを表す．また，all は K 、 L に制限を設けずに得られる組合せをすべて用いた場合を表し，「組合せ数」は当該パラメータ設定にお

Algorithm
1. Input : RTL Module-set M , Data-path D , Controller C_fsm , parameters K and L 2. Output : $SELECTED_CPI_COMB$ 3. Design_DFD(M, D, C_fsm, K, L) { 4. $C \leftarrow \emptyset$ 5. $TM \leftarrow \{ MUX \in M \mid MUX \text{ has default control signal values } \}$ 6. $obs_matrix \leftarrow SSS(M, D, C_fsm)$ 7. $P \leftarrow \text{ExtractType3Pairs}(obs_matrix)$ 8. $P \leftarrow \text{SortDescending}(P, \text{EstimatedDistinguishableFaultPairs})$ 9. $T \leftarrow \text{Select_TopK}(P, K)$ 10. for each $pair \in T$ do 11. $cand \leftarrow \text{SelectUpstreamSignalFromPair}(pair)$ 12. $C \leftarrow C \cup \{cand\}$ 13. end for 14. $COMB \leftarrow \text{GenerateAssignments}(C, TM)$ 15. for each $comb \in COMB$ do 16. $diff(comb) \leftarrow \text{ComputeTestabilityDiff}(comb)$ 17. end for 18. $SELECTED_COMB \leftarrow \text{TopLByDiff}(COMB, L)$ 19. return $SELECTED_CPI_COMB$ 20. }

図 2. 全体アルゴリズム

表 3. 予備実験

circuit	手法	K	L	組合せ数	識別可能故障ペア推定数	識別率[%]	circuit	手法	K	L	組合せ数	識別可能故障ペア推定数	識別率[%]
ex2	従来				450,510,949	99.864526	Kim	従来				296,748,655	99.960362
	提案	all	all	84	451,072,305	99.988961		提案	all	all	8000	296,851,175	99.994896
		5	5	3	451,072,305	99.988961			5	5	4	296,817,789	99.983650
		5	10	3	451,072,305	99.988961			5	10	4	296,817,789	99.983650
		5	15	3	451,072,305	99.988961			5	15	4	296,817,789	99.983650
		10	5	5	450,559,285	99.875240			10	5	5	296,823,979	99.985735
		10	10	10	450,559,285	99.875240			10	10	10	296,848,116	99.993866
		10	15	15	450,559,285	99.875240			10	15	15	296,848,116	99.993866

表 4. 実験結果

circuit	従来手法			提案手法		
	識別可能故障ペア推定数	識別率[%]	面積	識別可能故障ペア推定数	識別率[%]	面積
ex2	450,510,949	99.864526	12,423	451,072,305	99.988961	12,257
Kim	296,748,655	99.960362	5,929	296,817,789	99.983650	6,134
Maha	259,145,759	99.956845	5,626	259,249,742	99.996953	5,795
Sehwa	208,961,606	98.718735	6,058	211,657,274	99.992236	6,145

いて生成された有効な組合せの総数を表す. 表 3 より, 予備実験では, $K = 5$, $L = 5$ の設定の場合, 組合せ数を小さく抑えつつ, ex2 回路では all を用いた全組合せ評価で得られた最良結果と一致し, Kim 回路においてもその低下は小さいことがわかった. 以上より, 本論文では, 診断分解能と探索時間のバランスや計算時間を考慮し, パラメータを $K = 5$, $L = 5$ と設定して実験を行った. 次に, 決定したパラメータ用いて行った実験結果を表 4 に示す. 表 4 において, 提案手法は全回路において従来手法よりも高い識別可能故障ペア推定数および識別可能率を達成していることがわかった.

6. まとめ

本論文では, 対象マルチプレクサに対して, 入力数を 2 のべき乗に拡張するような制御ポイント挿入手法を提案した. RTL ベンチマーク回路 ex2, kim, Maha による実験により, 本手法が RTL における識別可能故障ペア推定数および識別可能率の向上に有効であることを示した.

文 献

- [1] H. Y. Chang, E. G. Manning, G. Metze and S. Y. H. Su, "Fault Diagnosis of Digital Systems," in IEEE Transactions on Systems, Man, and Cybernetics, vol. SMC-3, no. 3, p. 301, May 1973.
- [2] Y. Zhang and V. D. Agrawal, "A Diagnostic Test Generation System," Proc. ITC, 2010.
- [3] V. Boppana and W. K. Fuchs, "Fault Dictionary Compaction By Output Sequence Removal," Proc. ICCAD, pp. 576-579, 1994.
- [4] S. D. Millman, E. J. McCluskey and J. M. Acken, "Diagnosing CMOS Bridging Faults with Stuck-at Fault Dictionaries," Proc. ITC, pp. 860-870, 1990.
- [5] S. Venkataraman and S. B. Drummonds, "A Technique for Logic Fault Diagnosis of Interconnect Open Defects," Proc. VTS, pp. 313-318, 2000.
- [6] T. Yamada, K. Yamazaki and E. J. McCluskey, "A Simple Technique for Locating Gate-Level Faults in Combinational Circuits," Proc. ATS, pp. 65-70, 1995.
- [7] Y. Benaboud et al., "Comprehensive bridging fault

diagnosis based on the SLAT paradigm," Proc. DDECS, pp. 264-269, 2009.

- [8] L. M. Huisman, "Diagnosing arbitrary defects in logic designs using single location at a time (SLAT)," IEEE Trans. on Comp. Aided Des. of Integrated Circuits and Systems, Vol. 23, No. 1, pp. 91-101, 2004.
- [9] J. P. Anita, and P. T. Vathi, "Multiple Fault Diagnosis with Improved Diagnosis Resolution for VLSI Circuits," Proc. ICCNT, 2010.
- [10] I. Pomeranz, S. Venkataraman and S. M. Reddy, "Z-DFD: Design-for-Diagnosability Based on the Concept of Z-detection," Proc. ITC, pp. 489-497, 2004.
- [11] N. Kuji, T. Ishihara, and S. Nakajima, "EB-Testing-Pad Method and its Evaluation by Actual Devices," IEICE Trans. Inf. & Syst., vol. E85-D, No. 10, pp. 1558-1563, 2002.
- [12] Y. Higami, T. Inamoto, S. Wang, H. Takahashi and K. K. Saluja, "Improving of Fault Diagnosis Ability by Test Point Insertion and Output Compaction," Proc. ITC-CSCC, 2023.
- [13] S. Udar and D. Kagaris, "Minimizing Observation Points for Fault Location," Proc. DFT, pp. 263-267, 2009.
- [14] I. Pomeranz, "Gradual Diagnostic Test Generation and Observation Point Insertion Based on the Structural Distance Between Undistinguished Fault Pairs," in IEEE Trans. on VLSI Systems, Vol. 20, No. 6, pp. 1026-1035, 2012.
- [15] I. Pomeranz, V. Chickermane and S. Venkataraman, "Observation Point Placement for Improved Logic Diagnosis based on Large Sets of Candidate Faults," Proc. VTS, 2019.
- [16] T. Hosokawa, Y. Otsuka, K. Yamazaki, M. Yoshimura, and M. Arai, "A Design for Diagnosability Method Based on Don't Care Filling of Control Signals at Register Transfer Level," digest papers of the workshop on Emerging Test Technologies 2025
- [17] K. Tsuchibuchi, T. Hosokawa and K. Yamazaki, "A Don't Care Filling Method for Control Signal Values of Controllers to Enhance Fault Diagnosability at Register Transfer Level," Proc. WRTLT, 2021.
- [18] N. Toyota, X. Wen, S. Kajihara, and M. Sanada: "Quantifying Observability for Fault Diagnosis of VLSI Circuits," IEEE 6th Workshop on RTL and High-Level Testing, Harbin, China, July 20-21, 2005.